

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-133519

(43)Date of publication of application : 09.05.2003

(51)Int.Cl.

H01L 25/10  
H01L 23/12  
H01L 25/11  
H01L 25/18  
H05K 1/18  
H05K 3/34

(21)Application number : 2001-332584

(71)Applicant : SHARP CORP

(22)Date of filing : 30.10.2001

(72)Inventor : SUGIYAMA TAKUYA  
JUSO HIROYUKI

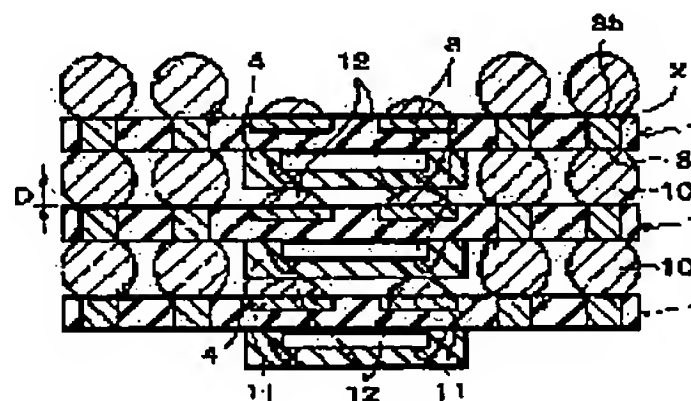
(54) LAMINATED SEMICONDUCTOR DEVICE, MANUFACTURING METHOD THEREFOR, AND MOTHER BOARD AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

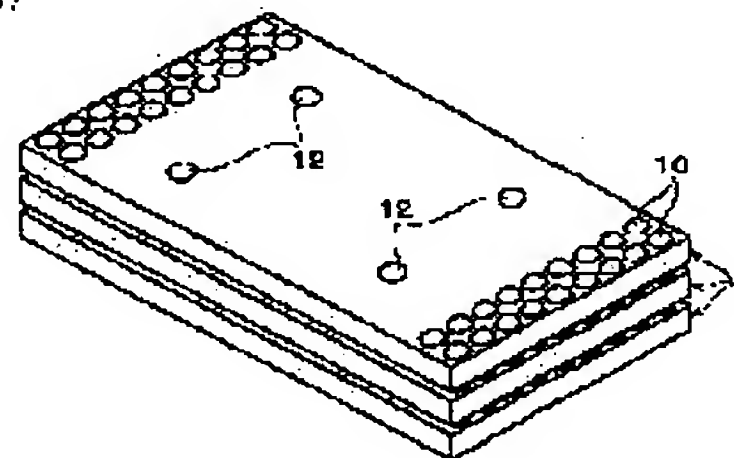
PROBLEM TO BE SOLVED: To provide a laminated semiconductor device and a manufacturing method therefor which improves reliability and heat radiation by controlling the gap between laminated boards in a simple method when heat or mechanical stress is applied.

SOLUTION: The laminated semiconductor device has a plurality of semiconductor devices 1 laminated with solder balls 10 mounted on back surface lands 8a. Each semiconductor device 1 and so on has a semiconductor chip 3 mounted and sealed with resin on a wiring board 2 having back surface lands 8a and front lands 8b and dummy bumps 12 and so on which are located lower than the solder balls 10 at opposite positions of opposed resin seal zones 4 on the semiconductor chip mounting backside of the wiring board 2.

(a)



(b)



## LEGAL STATUS

[Date of request for examination]

18.06.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2003-133519  
(P2003-133519A)

(43)公開日 平成15年5月9日(2003.5.9)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 25/10		H 0 1 L 23/12	5 0 1 W 5 E 3 1 9
23/12	5 0 1	H 0 5 K 1/18	J 5 E 3 3 6
25/11		3/34	5 0 5 C
25/18		H 0 1 L 25/14	Z
H 0 5 K 1/18			

審査請求 未請求 請求項の数15 O L (全 20 頁) 最終頁に続く

(21)出願番号 特願2001-332584(P2001-332584)

(22)出願日 平成13年10月30日(2001.10.30)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 杉山 拓也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 十楚 博行

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

最終頁に続く

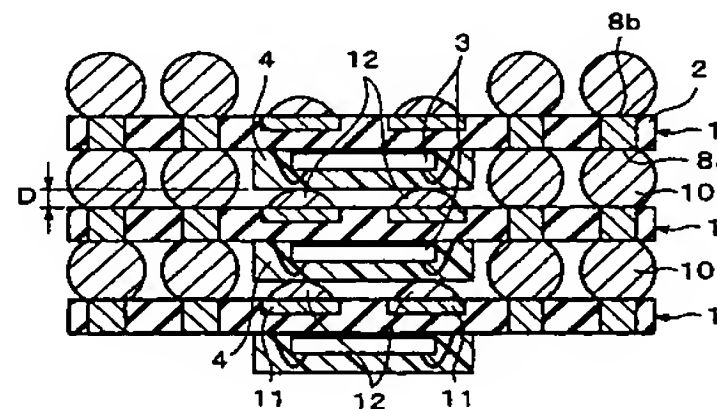
(54)【発明の名称】 積層型半導体装置及びその製造方法並びにマザーボード及びマザーボードの製造方法

(57)【要約】

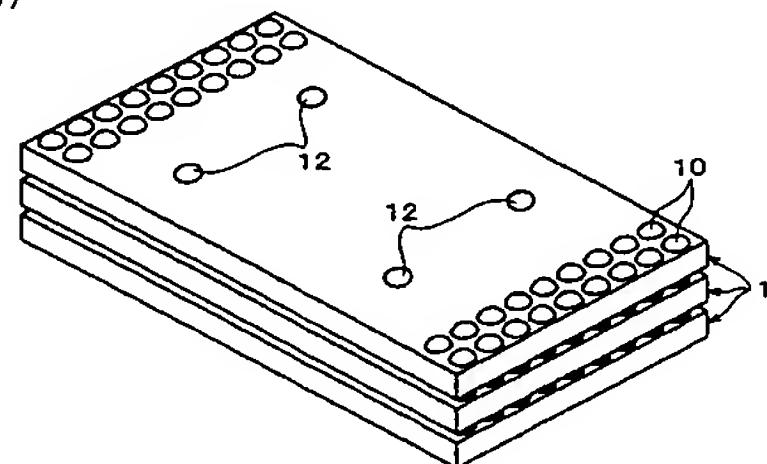
【課題】 簡易な方法で積層基板間の隙間を制御することより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置及びその製造方法を提供する。

【解決手段】 積層型半導体装置は、裏面ランド部8a及び表面ランド部8bを有する配線基板2に半導体チップ3を実装して樹脂封止した半導体装置1…を、裏面ランド部8aに搭載される半田ボール10により複数個積層してなる。各半導体装置1…には、配線基板2の半導体チップ搭載側裏面における相対する樹脂封止部4の対向位置に半田ボール10よりも低いダミーバンプ12…が形成されている。

(a)



(b)



## 【特許請求の範囲】

【請求項 1】 外部接続端子を有する配線基板に半導体チップを実装して樹脂封止した半導体装置を、外部接続端子に搭載される半田ボールにより複数個積層した積層型半導体装置において、

上記各半導体装置には、配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されていることを特徴とする積層型半導体装置。

【請求項 2】 ダミーバンプは半導体チップ又は樹脂封止部の平面領域内における端部の対向位置に形成されていることを特徴とする請求項 1 記載の積層型半導体装置。

【請求項 3】 配線基板には、ダミーバンプを搭載するためのダミーランド部が形成されているとともに、このダミーランド部は、外部接続端子よりも面積が大きく形成されていることを特徴とする請求項 1 又は 2 記載の積層型半導体装置。

【請求項 4】 ダミーバンプは半田ペースト印刷により形成されていることを特徴とする請求項 1、2 又は 3 記載の積層型半導体装置。

【請求項 5】 複数個積層された半導体装置には、外部接続端子を有する配線基板の穴部に半導体チップが搭載された半導体装置が含まれていることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の積層型半導体装置。

【請求項 6】 複数個積層された半導体装置のうちのいずれかは、他の半導体装置とは外形サイズが異なっていることを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の積層型半導体装置。

【請求項 7】 複数個積層された半導体装置のうちのいずれかは、1 個の半導体装置に複数個の半導体チップを搭載したものからなっていることを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の積層型半導体装置。

【請求項 8】 最下層にマザーボードが設けられているとともに、上記マザーボードには、相対する半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されていることを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載の積層型半導体装置。

【請求項 9】 外部接続端子を有する配線基板に半導体チップを実装し、かつ樹脂封止して半導体装置を形成し、上記半導体装置を外部接続端子に搭載される半田ボールにより複数個積層する積層型半導体装置の製造方法において、

上記各半導体装置における、配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプを形成する工程を含むことを特徴とする積層型半導体装置の製造方法。

【請求項 10】 ダミーバンプを半田ペースト印刷により形成する工程を含むことを特徴とする請求項 9 記載の積

層型半導体装置の製造方法。

【請求項 11】 外部接続端子を有する配線基板に半導体チップを実装して樹脂封止した半導体装置を、該半導体装置の外部接続端子に搭載される半田ボールにより接続して搭載したマザーボードにおいて、

上記半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されていることを特徴とするマザーボード。

【請求項 12】 ダミーバンプは半田ペースト印刷により形成されていることを特徴とする請求項 11 記載のマザーボード。

【請求項 13】 複数の半導体装置が積層されていることを特徴とする請求項 11 又は 12 記載のマザーボード。

【請求項 14】 外部接続端子を有する配線基板に半導体チップを実装して樹脂封止した半導体装置を、該半導体装置の外部接続端子に搭載される半田ボールにより接続して搭載するマザーボードの製造方法において上記半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプを形成する工程を含んでいることを特徴とするマザーボードの製造方法。

【請求項 15】 ダミーバンプを半田ペースト印刷により形成する工程を含んでいることを特徴とする請求項 14 記載のマザーボードの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、外部接続端子を有する配線基板に半導体チップを実装して樹脂封止した半導体装置を、外部接続端子に搭載される半田ボールにより複数個積層した積層型半導体装置及びその製造方法並びに上記半導体装置を搭載するマザーボード及びマザーボードの製造方法に関するものである。

## 【0002】

【従来の技術】 近年、電子機器の小型化の要求に対応するものとして、また、組立工程の自動化に適合するものとして、QFP (Quad Flat Package) 型やBGA (Ball Grid Array) 型のCSP (Chip Size Package) 式半導体装置が広く用いられている。

【0003】 これらの半導体装置においては、実装効率を高めるために、半導体装置を複数個積み重ねて電氣的に接続した積層型半導体装置が、例えば特開平 11-317494 号公報に開示されている。

【0004】 上記の積層型半導体装置 100 は、例えば、図 18 (c) に示すように、単品の半導体装置としてのチップセクタ入りメモリモジュール 101 をマザーボード 102 に 4 個積層したものとなっている。上記のチップセクタ入りメモリモジュール 11 は、図 18 (a) (b) に示すように、キャリア 103 にバンプ 104 を用いてチップセクタチップ 105 とメモリチップ 106 とを搭載してなっている。上記キャリア 103 とチップセクタチップ 105 及びメモリチップ 106

との間には封止樹脂 107 が施されている。また、各キャリア 103 の外周の両面には、積層用のスタックパッド 107…が形成されており、図 18 (c) に示すように、各キャリア 103 の上記スタックパッド 107…同士をスタックバンプ 108 にて接続することにより、各チップセクタ入りメモリモジュール 101…を積層し、かつスタックパッド 107…を電氣的に接続することができる。

【0005】ところで、上記積層型半導体装置 100 では、各キャリア 103…にチップセクタ入りメモリモジュール 101 及びチップセクタチップ 105 が接触して積層されている。このため、チップセクタ入りメモリモジュール 101 及びチップセクタチップ 105 に外部から熱が加わると、チップセクタ入りメモリモジュール 101 及びチップセクタチップ 105 は物性つまり線膨張係数のことなる材料の複合体であるために、個々のチップセクタ入りメモリモジュール 101 及びチップセクタチップ 105 に反りが発生する。その結果、スタックバンプ 108 とスタックパッド 107 との接合が外れるおそれがある。

【0006】そこで、この問題を解決するために、例えば、特開 2000-164795 号公報に開示されたスタックモジュール接続装置では、図 19 に示すように、複数のモジュール 111 を、これら各モジュール 111 の片側に電極パッド 112…を有して半田ボール 113 にて接続し積層する場合に、各モジュール 111 の他の片側に応力吸収材 114 を設けることにより、回路素子 115 とその上の配線基板 116 との間に隙間を設けている。

【0007】これによって、積層したモジュール 111 に外部から熱が加わって個々のモジュール 111 に反りが発生しても、回路素子 115 がその上の配線基板 116 を押圧することがないので、半田ボール 113 と電極パッド 112…との接続は保障されたものとなっている。

【0008】一方、半導体装置を配線基板にフェイスダウンボンディングする際に、半導体装置の傾き防止のために樹脂のスペーサや姿勢規定体を介装したものが、特開平 7-74450 号公報や特開平 11-204564 号公報に開示されている。

【0009】

【発明が解決しようとする課題】しかしながら、上記従来の積層型半導体装置では、積層基板間の隙間を制御するために、別途の材料からなる応力吸収材 114 や樹脂のスペーサや姿勢規定体を設けなければならないので、部品点数が増加するとともに、工数の増加を招くという問題点を有している。

【0010】なお、積層基板間の隙間を形成するために、半田ボールをより高く形成すればよいという考え方もできるが、外部接続端子のピッチが精細化のために小

さくなってきている状況にあつては、そのようなこともできない。一方、ワイヤ部分の樹脂封止について、その樹脂封止部を薄くするには限界がある。

【0011】本発明は、上記従来の問題点に鑑みなされたものであつて、その目的は、簡易な方法で積層基板間の隙間を制御することより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置及びその製造方法並びにマザーボード及びマザーボードの製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の積層型半導体装置は、上記課題を解決するために、外部接続端子を有する配線基板に半導体チップを実装して樹脂封止した半導体装置を、外部接続端子に搭載される半田ボールにより複数個積層した積層型半導体装置において、上記各半導体装置には、配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されていることを特徴としている。

【0013】上記の発明によれば、各半導体装置には、配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されている。このため、半導体装置を積層した場合に、この半田ボールよりも低いダミーバンプによって、半導体装置が支持されることになる。

【0014】この結果、半導体装置の配線基板と、この配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部との間に隙間ができる。つまり、半導体チップ又は樹脂封止部と配線基板との接触を防止できる。なお、ワイヤボンド方式によるベアチップ実装では樹脂封止部と配線基板との間に隙間が形成される一方、フリップチップ方式によるベアチップ実装では半導体チップと配線基板との間に隙間が形成される。

【0015】ここで、積層型半導体装置は、一般的に製品検査として、温度サイクル試験や機械的応力試験にかけられる。このとき、半導体装置の半導体チップ又は樹脂封止部とこの半導体装置の半導体チップ又は樹脂封止部に対向する半導体装置の配線基板との間に隙間がない場合には、各半導体装置の反りの発生により、半導体チップ又は樹脂封止部が、当接して対向する半導体装置の配線基板を押し出そうとする。この結果、外部接続端子と半田ボールとの接続部分に引張り力が作用し、外部接続端子と半田ボールとの間の接続が外れることになる。

【0016】これに対して、本発明では、半導体装置の配線基板と、この配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部との間に隙間があるので、積層型半導体装置を温度サイクル試験や機械的応力試験にかけたときに、半導体チップはこの隙



間に向けてたわむことができる。したがって、外部接続端子と半田ボールとの接続部分に作用する引張り力も緩和されるので、外部接続端子と半田ボールとの間の接続が外れるのを防止することができる。

【0017】また、本発明では、この半導体チップ又は樹脂封止部とそれに対向する配線基板との隙間を形成するために、ダミーバンプによって行なっている。このダミーバンプは、外部接続端子間に半田ボールを搭載する工程にて同時に形成することができるものである。したがって、隙間形成のための製造工程における工数の増加も殆どなく、製造コストも殆ど従来と変わらない。

【0018】さらに、隙間を設けることによって、半導体チップからの放熱効果も大きくなる。

【0019】この結果、簡易な方法で積層基板間の隙間を制御することより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置を提供することができる。

【0020】また、本発明の積層型半導体装置は、上記積層型半導体装置において、ダミーバンプは半導体チップ又は樹脂封止部の平面領域内における端部の対向位置に形成されていることを特徴としている。

【0021】すなわち、積層型半導体装置を温度サイクル試験や機械的応力試験にかけた場合に、反りの発生により半導体チップの中央位置で接触し易くなる。したがって、半導体チップ又は樹脂封止部を支持するダミーバンプを半導体チップの中央位置に設けるよりも端に設ける方が半導体チップがたわみ易い。

【0022】この点、本発明によれば、ダミーバンプは半導体チップ又は樹脂封止部の平面領域内における端部の対向位置に形成されているので、外部接続端子間における応力緩和効果が大きい。

【0023】また、本発明の積層型半導体装置は、上記積層型半導体装置において、配線基板には、ダミーバンプを搭載するためのダミーランド部が形成されているとともに、このダミーランド部は、外部接続端子よりも面積が大きく形成されていることを特徴としている。

【0024】まず、ダミーバンプを形成するためには、予め配線基板にダミーバンプを搭載するためのダミーランド部を形成しておく必要がある。

【0025】ここで、本発明によれば、配線基板には、ダミーバンプを搭載するためのダミーランド部が形成されているとともに、このダミーランド部は、外部接続端子よりも面積が大きく形成されている。

【0026】すなわち、ダミーバンプをダミーランド部に搭載すると、ダミーバンプはダミーランド部の全領域に広がる。また、同様に、半田ボールを外部接続端子に搭載したときも、半田ボールは外部接続端子の全領域に広がる。したがって、ダミーランド部を外部接続端子よりも面積が大きくなるように形成しておくことによつ

て、外部接続端子に搭載される半田ボールと同量のダミーバンプをダミーランド部に搭載したときに、ダミーバンプの方が半田ボールよりも低くなる。また、ダミーランド部の面積と外部接続端子の面積とに差を設けることによって、同サイズの半田ボールの搭載により、外部接続端子とダミーバンプとの高さを容易に制御することができる。

【0027】この結果、半田ボールの搭載条件と同じ搭載条件にてダミーバンプを搭載することによって自動的に半田ボールよりも低い支持部が形成されることになるので、確実に、簡易な方法で積層基板間の隙間を制御することができる。

【0028】また、本発明の積層型半導体装置は、上記積層型半導体装置において、ダミーバンプは半田ペースト印刷により形成されていることを特徴としている。

【0029】上記の発明によれば、ダミーバンプは半田ペースト印刷により形成されているので、外部接続端子を半田ペースト印刷法により形成する際に、同時にダミーバンプも半田ペースト印刷により形成することができる。したがって、ダミーバンプの形成において、確実に、簡易な方法で積層基板間の隙間を制御することができる。

【0030】また、本発明の積層型半導体装置は、上記積層型半導体装置において、複数個積層された半導体装置には、外部接続端子を有する配線基板の穴部に半導体チップが搭載された半導体装置が含まれていることを特徴としている。

【0031】上記の発明によれば、積層型半導体装置に積層される半導体装置として、外部接続端子を有する配線基板の穴部に半導体チップが搭載された半導体装置を用いることができる。このような半導体装置は、半導体チップの後ろに配線基板がないので、半導体装置を薄く形成することができる。したがって、薄型の積層型半導体装置を提供することができる。

【0032】また、本発明の積層型半導体装置は、上記積層型半導体装置において、複数個積層された半導体装置のうちのいずれかは、他の半導体装置とは外形サイズが異なっていることを特徴としている。

【0033】上記の発明によれば、複数個積層された半導体装置のうちのいずれかは、他の半導体装置とは外形サイズが異なっている。このため、種類の異なる半導体装置を組み合わせる積層した場合にも、簡易な方法で積層基板間の隙間を制御することより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置を提供することができる。

【0034】また、本発明の積層型半導体装置は、上記積層型半導体装置において、複数個積層された半導体装置のうちのいずれかは、1個の半導体装置に複数個の半導体チップを搭載したものからなっていることを特徴と

している。

【0035】上記の発明によれば、複数個積層された半導体装置のうちのいずれかは、1個の半導体装置に複数個の半導体チップを搭載したものからなっている。このため、例えばフラッシュメモリのメモリ容量を増やすために1個の半導体装置に複数個の半導体チップを形成した半導体装置を積層した場合においても、簡易な方法で積層基板間の隙間を制御することより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置を提供することができる。

【0036】また、本発明の積層型半導体装置は、上記積層型半導体装置において、最下層にマザーボードが設けられているとともに、上記マザーボードには、相対する半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されていることを特徴としている。

【0037】上記の発明によれば、最下層にマザーボードが設けられているとともに、上記マザーボードには、相対する半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されている。

【0038】したがって、積層型半導体装置をマザーボードに搭載する場合においても、このマザーボードにダミーバンプを形成することにより、マザーボードと半導体装置との間において、簡易な方法で積層基板間の隙間を制御することより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置を提供することができる。

【0039】また、本発明の積層型半導体装置の製造方法は、上記課題を解決するために、外部接続端子を有する配線基板に半導体チップを実装し、かつ樹脂封止して半導体装置を形成し、上記半導体装置を外部接続端子に搭載される半田ボールにより複数個積層する積層型半導体装置の製造方法において、上記各半導体装置における、配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプを形成する工程を含むことを特徴としている。

【0040】上記の発明によれば、積層型半導体装置を製造するときには、外部接続端子を有する配線基板に半導体チップを実装し、かつ樹脂封止して半導体装置を形成し、上記半導体装置を外部接続端子に搭載される半田ボールにより複数個積層する。そして、その製造方法においては、各半導体装置における、配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプを形成する工程を含んでいる。

【0041】この結果、配線基板の半導体チップ搭載側

裏面における相対する半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプを形成する工程を行なうことによって、簡易な方法で積層基板間の隙間を制御することより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置の製造方法を提供することができる。

【0042】また、本発明の積層型半導体装置の製造方法は、上記積層型半導体装置の製造方法において、ダミーバンプを半田ペースト印刷により形成する工程を含むことを特徴としている。

【0043】上記の発明によれば、積層型半導体装置の製造に際して、ダミーバンプを半田ペースト印刷により形成する工程を含んでいる。

【0044】このため、ダミーバンプを半田ペースト印刷により形成することによって、外部接続端子を半田ペースト印刷法にて形成する際に、同時にダミーバンプも半田ペースト印刷により形成することができる。したがって、ダミーバンプの形成において、確実に、簡易な方法で積層基板間の隙間を制御することができる。

【0045】また、本発明のマザーボードは、上記課題を解決するために、外部接続端子を有する配線基板に半導体チップを実装して樹脂封止した半導体装置を、該半導体装置の外部接続端子に搭載される半田ボールにより接続して搭載したマザーボードにおいて、上記半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されていることを特徴としている。

【0046】上記の発明によれば、マザーボードには、半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されている。したがって、半導体装置の半導体チップ又は樹脂封止部がマザーボードに接触するのを防止できる。

【0047】このため、半導体装置をマザーボードに搭載する場合において、このマザーボードにダミーバンプを形成することにより、マザーボードと半導体装置との間において、簡易な方法で積層基板間の隙間を制御することができる。外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得るマザーボードを提供することができる。

【0048】また、本発明のマザーボードは、上記マザーボードにおいて、ダミーバンプは半田ペースト印刷により形成されていることを特徴としている。

【0049】上記の発明によれば、ダミーバンプは半田ペースト印刷により形成されている。このため、ダミーバンプを半田ペースト印刷により形成することによって、外部接続端子を半田ペースト印刷法により形成する際に、同時にダミーバンプも半田ペースト印刷により形成することができる。したがって、マザーボードにおけ

るダミーバンプの形成において、確実に、簡易な方法で積層基板間の隙間を制御することができる。

【0050】また、本発明のマザーボードは、上記マザーボードにおいて、複数の半導体装置が積層されていることを特徴としている。

【0051】上記の発明によれば、マザーボードには、複数の半導体装置が積層されている。この結果、複数の半導体装置が積層された積層型半導体装置とマザーボードとの間の隙間を簡易な方法で制御することができ、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得るマザーボードを提供することができる。

【0052】また、本発明のマザーボードの製造方法は、上記課題を解決するために、外部接続端子を有する配線基板に半導体チップを実装して樹脂封止した半導体装置を、該半導体装置の外部接続端子に搭載される半田ボールにより接続して搭載するマザーボードの製造方法において、上記半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプを形成する工程を含んでいることを特徴としている。

【0053】上記の発明によれば、マザーボードの製造方法は、半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプを形成する工程を含んでいる。

【0054】このため、この工程を実施することによって、半導体装置とマザーボードとの間の隙間を簡易な方法で制御することができ、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得るマザーボードの製造方法を提供することができる。

【0055】また、本発明のマザーボードの製造方法は、上記記載のマザーボードの製造方法において、ダミーバンプを半田ペースト印刷により形成する工程を含んでいることを特徴としている。

【0056】このため、マザーボードのダミーバンプを半田ペースト印刷により形成することによって、マザーボードの外部接続端子を半田ペースト印刷法により形成する際に、同時にダミーバンプも半田ペースト印刷により形成することができる。したがって、マザーボードのダミーバンプの形成において、確実に、簡易な方法で半導体装置とマザーボードとの間の隙間を制御することができる。

【0057】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について図1ないし図8に基づいて説明すれば、以下の通りである。

【0058】本実施の形態の積層型半導体装置は、図1(a)(b)に示すように、半導体装置1…が3段に積層されたものからなっている。ただし、必ずしもこれに限らず、他の複数の段数に積層されたものであっても

よい。

【0059】上記の各半導体装置1は、図2(a)

(b)(c)に示すように、配線基板2に搭載された半導体チップ3が、樹脂封止部4により封止された状態で設けられている。上記半導体チップ3としては、例えば、CPU(Central Processing Unit)やメモリ等の集積回路(LSI:Large Scaled Integrated circuit)が挙げられる。

【0060】上記の半導体チップ3からはワイヤボンダ法により接続されるワイヤとしてのAuワイヤ5が配線基板2の裏面側に形成されたターミナル部6に延びている。また、配線基板2のターミナル部6からは外方に延びるCuからなる配線パターン7が配されているとともに、この配線パターン7の先端は配線基板2の外部接続端子としての裏面ランド部8aにまで延びている。この裏面ランド部8aは、半導体装置1の外形周辺に近い位置に形成されている。

【0061】上記の配線基板2における裏面ランド部8aの位置には、この配線基板2を貫通するスルーホール部9が形成されており、このスルーホール部9には、導電性金属が充填されている。したがって、この導電性金属における配線基板2における裏面の露出部が裏面ランド部8aとなる一方、配線基板2における表面の露出部が外部接続端子としての表面ランド部8bとなる。また、これによって、配線基板2における裏面ランド部8aと表面ランド部8bとが電気的に接続されるものとなっている。

【0062】上記の配線基板2における表面ランド部8bには、例えば半田ボール10が固着されており、積層する半導体装置1・1間や外部との接続に使用されるものとなっている。なお、上記の半田ボール10は、本来、半導体装置1に搭載前の状態をいい、半導体装置1に搭載後は外部接続端子として機能するものであるが、本実施の形態及び本発明では、ダミーバンプ12…と半田ボール10との高さを問題とすること、及び途中で用語が変わるのは混乱を招くため、統一的に、半導体装置1に搭載後も半田ボール10の用語を使用することとする。

【0063】また、本実施の形態では、配線基板2における半導体チップ3の搭載側とは反対面に、この半導体チップ3の領域内にダミーランド部11…が形成され、そのダミーランド部11…上にダミーバンプ12…が例えば4箇所設けられている。これらダミーバンプ12…は、上記の半田ボール10よりも低くなるように形成されている。したがって、この半導体装置1…を複数個積層することにより、図1(a)に示すように、各半導体装置1…を半田ボール10にて接続し、積層するとともに、ダミーバンプ12…が各半導体チップ3…の表面に接触して支持するので、このダミーバンプ12…の高さ寸法の隙間Dが配線基板2と半導体チップ3の樹脂封



止部4との間に形成されるものとなっている。

【0064】これによって、半田ボール10と裏面ランド部8a及び表面ランド部8bとの接合部分において、温度サイクル試験等の熱印加時や機械的応力試験等の機械的揚力印加時の信頼性及び放熱性の向上を図ることができるものとなっている。

【0065】上記構成の半導体装置1及び積層型半導体装置の製造方法について図3(a)～(d)に基づいて説明する。なお、同図では、1個の半導体装置1についての説明を行なうが、実際には、複数個を平面的に多数並べた状態で半導体装置1…が形成され、半導体装置1が完成した状態でダイシング等により個片化される。

【0066】先ず、図3(a)に示すように、配線基板2を用意する。この配線基板2は、以下のようにして形成されている。

【0067】例えば厚さ約0.13mmの絶縁基板を用いてこの絶縁基板の両面に予めCuからなる図示しない各配線パターン、スルーホール部9、ランド径240μmの裏面ランド部8a及び表面ランド部8bを形成する。また、上記配線基板2における裏面ランド部8a、表面ランド部8及びワイヤボンダ用の図示しないターミナル部以外の配線には図示しないソルダーレジストを塗布し、これによって各配線パターンを保護している。

【0068】一方、本実施の形態では、上記の裏面ランド部8a及び表面ランド部8bを形成するときに、同時に、配線基板2における半導体チップ3搭載面とは反対面に、この半導体チップ3における突出形状の樹脂封止部4の平面領域内にランド径400μmのダミーランド部11…を形成しておく。このダミーランド部11…は、裏面ランド部8a及び表面ランド部8bよりも広い面積の端子となるように形成しておく。

【0069】次いで、25μm厚の図示しないダイボンディングフィルムを介して100μm厚の半導体チップ3を配線基板2に接着し、ワイヤボンダ方式による接続方法によりAuワイヤ5にて半導体チップ3と上記配線基板2のターミナル部との電気的接続を行なう。その後、Auワイヤ5及び半導体チップ3を樹脂にて封止することにより樹脂封止部4を形成する。なお、上記の半導体チップ3と配線基板2との接着においては、例えばペーストにより行なうことも可能である。また、上記の説明では、ワイヤボンダ方式による実装方式を採用しているが、必ずしもこれに限らず、フリップチップ方式による実装方式を採用することも可能である。さらに、封止方法として、例えば、液状樹脂を用いた印刷封止法を用いることが可能である。

【0070】次いで、図3(b)に示すように、0.28mmφの球状の半田ボール10を、配線基板2における裏面ランド部8a及び表面ランド部8b並びにダミーランド部11…に搭載する。この半田ボール10における半田の組成として、例えばSn-Ag-Cu系、Sn

-Ag-Cu-Bi系、Sn-Ag系、Sn-Zn-Bi系の鉛フリー半田や、Sn-Pb系、Sn-Pb-Ag系のものを用いることができる。

【0071】次いで、図3(c)に示すように、この半田ボール10を搭載した配線基板2をリフロー装置(Reflow Soldering Equipment)にかけて例えば最大240℃～260℃の温度で加熱する。これによって、半田ボール10が溶融するので、各半田ボール10…が裏面ランド部8a及びダミーランド部11…に固着される。ここで、裏面ランド部8aはダミーランド部11…に比べて面積が小さいので、裏面ランド部8aの半田ボール10は球状の形態を維持する一方、ダミーランド部11…の半田ボール10は、ダミーランド部11…の面積が裏面ランド部8aの面積よりも広いので、半田ボール10がこのダミーランド部11…全体に広がり、高さが裏面ランド部8aの半田ボール10よりも低いダミーバンプ12…となる。ただし、電気的接続には問題はない。

【0072】次いで、半田の活性を高めるフラックスを裏面ランド部8aの半田ボール10に塗布した後、各半導体装置1…を、図3(d)に示すように、半田ボール10点と各配線基板2における裏面ランド部8a及び表面ランド部8bが重なるように積層し、リフロー装置にて最大240℃～260℃の温度で加熱する。これにより、各半田ボール10が溶融して各半導体装置1…の裏面ランド部8a及び表面ランド部8b間が電気的に接続される。これによって、積層型半導体装置が完成する。ここで、通常、半田溶融時には、50μm程度の沈み込みが発生するが、ダミーバンプ12…がある場合、樹脂封止部4とダミーバンプ12…とが接触することによって、それ以上の沈み込みを防止することができる。

【0073】これによって、ダミーランド部11…上のダミーバンプ12…が樹脂封止部4を押すことによって、沈み込み量を制御し、裏面ランド部8a及び表面ランド部8bにおける半田ボール10の高さがダミーバンプ12…がない場合よりも高くなり、温度サイクル試験等の熱印加時や機械的応力試験等の機械的応力印加時の信頼性が向上する。また、樹脂封止部4とダミーバンプ12…とが接触することによって、半導体装置1…全体の放熱性が向上する。

【0074】なお、上記の製造方法においては、半田ボール10を搭載することにより、各半導体装置1…間の接続及び積層を行なったが、必ずしもこれに限らず、半田ボール10を搭載する代わりに、例えば、図4(a)～(d)に示すように、裏面ランド部8aに半田ペーストを印刷後、リフロー(加熱)により半球状に形成させて半田ボール10を形成することも可能である。

【0075】具体的には、図4(a)に示すように、前記と同様にして、裏面ランド部8a及び表面ランド部8b並びにダミーランド部11…を形成した配線基板2に半導体チップ3を搭載し、ワイヤボンディングを行なっ



た後、樹脂封止部 4 を形成する。

【0076】次いで、図 4 (b) に示すように、この配線基板 2 を裏返して、裏面ランド部 8 a 及びダミーランド部 11…に対応する位置にマスク穴 21 a を有する厚さ例えば 0.15 mm のメタルマスク 21 を貼り合わせ、半田ペーストの印刷を行なう。印刷に際しては、半田ペースト 22 をスキージ (Squeegee) 23 にて扱くことにより、半田ペースト 22 が各マスク穴 21 a に印刷される。ここで、本実施の形態では、マスク穴 21 a の大きさは、裏面ランド部 8 a の部分では大きい、ダミーランド部 11…の部分では、小さいものとなっている。

【0077】印刷後、図 4 (c) に示すように、メタルマスク 21 を引き剥がし、リフロー装置にて最大 240℃～260℃の温度で加熱して、半田ボール 10 及びダミーバンプ 12…を形成する。本実施の形態では、メタルマスク 21 のマスク穴 21 a の開口径を変化させることによって、裏面ランド部 8 a の部分では、大きい球状の半田ボール 10 を形成することができる一方、ダミーランド部 11…の部分では、半田ボール 10 よりも低いダミーバンプ 12…を形成することができるものとなっている。ただし、電気的接続には問題がない。

【0078】次いで、前記同様、半田の活性を高めるフラックスを裏面ランド部 8 a の半田ボール 10 に塗布した後、各半導体装置 1…を、図 4 (d) に示すように、半田ボール 10 点と各配線基板 2 における裏面ランド部 8 a 及び表面ランド部 8 b が重なるように積層し、リフロー装置にて最大 240℃～260℃の温度で加熱する。これにより、各半田ボール 10 が熔融して各半導体装置 1…の裏面ランド部 8 a 及び表面ランド部 8 b 間が電気的に接続される。これによって、積層型半導体装置が完成する。

【0079】また、これによって、前記同様、ダミーランド部 11…上のダミーバンプ 12…が樹脂封止部 4 を押すことによって、沈み込み量を制御し、裏面ランド部 8 a 及び表面ランド部 8 b における半田ボール 10 の高さがダミーバンプ 12…がない場合よりも高くなり、温度サイクル試験等の熱印加時や機械的応力試験等の機械的応力印加時の信頼性が向上する。また、樹脂封止部 4 とダミーバンプ 12…とが接触することによって、半導体装置 1…全体の放熱性が向上する。

【0080】ここで、図 1 において、この積層型半導体装置の積層基板間接合部の温度サイクル試験や機械的応力試験を行なった場合に、熱が印加されると、上記積層型半導体装置には、上向きに凹となるように反りが発生する。このとき、配線基板 2 と樹脂封止部 4 との間には隙間 D があるので、この反りに対して樹脂封止部 4 が隙間 D の部分に撓むことができる。このことは、熱的応力による反りを機械的応力である撓みに強制変換することになり、応力緩和が図れる。この結果、従来であれば、樹脂封止部 4 と配線基板 2 とが接触していたので、応力

緩和が図れず、外部接続端子である半田ボール 10 と裏面ランド部 8 a 及び表面ランド部 8 b との接続部分に応力が集中することになっていたが、本実施の形態では、半田ボール 10 と裏面ランド部 8 a 及び表面ランド部 8 b との接続部分の応力集中を回避することができる。

【0081】この結果、温度サイクル試験や機械的応力試験による歩留りの低下が回避できるので、温度サイクル試験や機械的応力試験を行なった後の製品としての積層型半導体装置に対して信頼性の向上を図ることができる。

【0082】このように、本実施の形態の積層型半導体装置では、各半導体装置 1 には、配線基板 2 の半導体チップ 3 搭載側裏面における相対する半導体チップ 3 又は樹脂封止部 4 の対向位置に半田ボール 10 よりも低いダミーバンプ 12…が形成されている。このため、半導体装置 1…を積層した場合に、この半田ボール 10 よりも低いダミーバンプ 12…によって、半導体装置 1 が支持されることになる。この結果、半導体装置 1 の配線基板 2 と、この配線基板 2 の半導体チップ搭載側裏面における相対する樹脂封止部 4 との間に隙間 D ができる。つまり、半導体チップ 3 又は樹脂封止部 4 と配線基板 2 との接触を防止できる。なお、フリップチップ方式を用いたベアチップ実装においては半導体チップ 3 と樹脂封止部 4 との間に隙間 D ができる。

【0083】ここで、積層型半導体装置は、一般的に製品検査として、温度サイクル試験や機械的応力試験にかけられる。このとき、熱によりストレスが発生する。すなわち、積層した半導体装置 1…に外部から熱が加わると、個々の半導体装置 1…に反りが発生する。これは、半導体装置 1 は線膨張係数が異なる材料の複合体であるためである。したがって、個々の半導体装置 1 の反りが異なるために、半導体装置 1…同士が半導体チップ 3 又は樹脂封止部 4 の部分にて当接し、その結果、接合部分にストレスが生じる。

【0084】このとき、半導体装置 1 の半導体チップ 3 又は樹脂封止部 4 とこの半導体装置 1 の半導体チップ 3 又は樹脂封止部 4 に対向する半導体装置 1 の配線基板 2 との間に隙間 D がない場合には、各半導体装置 1…に反りが発生することにより、半導体チップ 3 又は樹脂封止部 4 が、当接して対向する半導体装置 1 の配線基板 2 を押し出そうとする。この結果、裏面ランド部 8 a 及び表面ランド部 8 b と半田ボール 10 との接続部分に引張り力が作用し、裏面ランド部 8 a 及び表面ランド部 8 b と半田ボール 10 との間の接続が外れることになる。

【0085】これに対して、本実施の形態では、半導体装置 1 の配線基板 2 と、この配線基板 2 の半導体チップ搭載側裏面における相対する半導体チップ 3 又は樹脂封止部 4 との間に隙間 D があるので、積層型半導体装置を温度サイクル試験や機械的応力試験にかけたときに、半導体チップ 3 はこの隙間 D に向けてたわむことができ

る。したがって、裏面ランド部 8 a 及び表面ランド部 8 b と半田ボール 10 との接続部分に作用する引張り力も緩和されるので、裏面ランド部 8 a 及び表面ランド部 8 b と半田ボール 10 との接続が外れるのを防止することができる。

【0086】また、本実施の形態では、この半導体チップ 3 又は樹脂封止部 4 とそれに対向する配線基板 2 との隙間 D を形成するために、ダミーバンプ 12 … によって行なっている。このダミーバンプ 12 … は、裏面ランド部 8 a 及び表面ランド部 8 b の間に半田ボール 10 … を

搭載する工程にて同時に形成することができるものである。したがって、隙間 D の形成のための製造工程における工数の増加も殆どなく、製造コストも殆ど従来と変わらない。

【0087】さらに、隙間 D を設けることによって、半導体チップ 3 からの放熱効果も大きくなる。

【0088】この結果、簡易な方法で積層基板間の隙間を制御することより、裏面ランド部 8 a 及び表面ランド部 8 b における接合部分の温度サイクル試験等の熱印加時や機械的応力試験等の機械的応力印加時の信頼性及び放熱性の向上を図り得る積層型半導体装置を提供することができる。

【0089】ところで、積層型半導体装置を温度サイクル試験や機械的応力試験にかけた場合に、反りの発生により半導体チップ 3 の中央位置で接触し易くなる。したがって、半導体チップ 3 又は樹脂封止部 4 を支持するダミーバンプ 12 … を半導体チップ 3 の中央位置に設けるよりも端に設ける方が半導体チップ 3 がたわみ易い。

【0090】この点、本実施の形態では、ダミーバンプ 12 … は半導体チップ 3 又は樹脂封止部 4 の平面領域内における端部の対向位置に形成されているので、裏面ランド部 8 a 及び表面ランド部 8 b と半田ボール 10 との接合部分における応力緩和効果が大きい。

【0091】一方、ダミーバンプ 12 … を形成するためには、予め配線基板 2 にダミーバンプ 12 … を搭載するためのダミーランド部 11 … を形成しておく必要がある。

【0092】ここで、本実施の形態では、配線基板 2 には、ダミーバンプ 12 … を搭載するためのダミーランド部 11 … が形成されているとともに、このダミーランド部 11 … は、裏面ランド部 8 a 及び表面ランド部 8 b よりも面積が大きく形成されている。

【0093】すなわち、ダミーバンプ 12 … をダミーランド部 11 … に搭載すると、ダミーバンプ 12 … はダミーランド部 11 … の全領域に広がる。また、同様に、半田ボール 10 を裏面ランド部 8 a に搭載したときも、半田ボール 10 は裏面ランド部 8 a の全領域に広がる。したがって、ダミーランド部 11 … を裏面ランド部 8 a よりも面積が大きくなるように形成しておくことによ

り、ダミーバンプ 12 … をダミーランド部 11 … に搭載したときに、ダミーバンプ 12 … の方が半田ボール 10 よりも低くなる。

【0094】また、ダミーランド部 11 … の面積と裏面ランド部 8 a の面積とに差を設けることによって、同サイズの半田ボール 10 の搭載により、半田ボール 10 の高さやダミーバンプ 31 … との高さを容易に制御することができる。

【0095】この結果、半田ボール 10 の搭載条件と同じ搭載条件にてダミーバンプ 12 … を搭載することによって自動的に半田ボール 10 よりも低い支持部が形成されることになるので、確実に、簡易な方法で積層基板間の隙間 D を制御することができる。

【0096】また、本実施の形態の積層型半導体装置では、ダミーバンプ 12 … は半田ペースト印刷により形成可能となっているので、外部接続端子を半田ペースト印刷法により形成する際に、同時にダミーバンプ 12 … も半田ペースト印刷法により形成することができる。したがって、ダミーバンプ 12 … の形成において、確実に、簡易な方法で積層基板間の隙間 D を制御することができる。

【0097】また、本実施の形態の積層型半導体装置を製造するときには、裏面ランド部 8 a 及び表面ランド部 8 b を有する配線基板 2 に半導体チップ 3 を実装し、かつ樹脂封止して半導体装置 1 を形成し、この半導体装置 1 を裏面ランド部 8 a に搭載される半田ボール 10 により複数個積層する。そして、その製造方法においては、各半導体装置 1 … における、配線基板 2 の半導体チップ搭載側裏面における相対する半導体チップ 3 又は樹脂封止部 4 の対向位置に半田ボール 10 よりも低いダミーバンプ 12 … を形成する工程を含んでいる。

【0098】この結果、配線基板 2 の半導体チップ搭載側裏面における相対する半導体チップ 3 又は樹脂封止部 4 の対向位置に半田ボール 10 よりも低いダミーバンプ 12 … を形成する工程を行なうことによって、簡易な方法で積層基板間の隙間 D を制御することより、裏面ランド部 8 a 及び表面ランド部 8 b における接合部分の温度サイクル試験等の熱印加時や機械的応力試験等の機械的応力印加時の信頼性及び放熱性の向上を図り得る積層型半導体装置の製造方法を提供することができる。

【0099】また、本実施の形態の積層型半導体装置の製造方法では、積層型半導体装置の製造に際して、ダミーバンプ 12 … を半田ペースト印刷により形成する工程を含んでいる。

【0100】このため、ダミーバンプ 12 … を半田ペースト印刷により形成することによって、外部接続端子を半田ペースト印刷法により形成する際に、同時にダミーバンプ 12 … も半田ペースト印刷により形成することができる。したがって、ダミーバンプ 12 … の形成において、確実に、簡易な方法で積層基板間の隙間 D を制御す

ることができる。

【0101】なお、本発明は、上記の実施の形態に限定されるものではなく、本発明の範囲内で種々の変更が可能である。例えば、上記実施の形態では、1個の半導体装置1に1個の半導体チップ3が搭載されたものであったが、必ずしもこれに限らず、図5(a)(b)(c)に示すように、1個の半導体装置1に2個等の複数の半導体チップ3を搭載した半導体装置1を積層する積層型半導体装置に適用することも可能である。このような2個の半導体チップ3としては、例えばフラッシュメモ

リのメモリ容量を増やすために1個の半導体装置1に2個の半導体チップ3・3を形成したことがある。

【0102】上記の積層型半導体装置を製造するときには、図5(a)に示すように、例えば厚さ約0.23mmの両面配線基板2にランド径240 $\mu$ mの裏面ランド部8a及び表面ランド部8bと、400 $\mu$ mのダミーランド部11…とを形成しておく。ダミーランド部11…は、半導体チップ3における突出形状の樹脂封止部4の平面領域内に配置する。

【0103】次いで、25 $\mu$ m厚の図示しないダイボン

ドフィルムを介して100 $\mu$ m厚の半導体チップ3を配線基板2に接着する。そして、ワイヤボン

ド方式により半導体チップ3と上記配線基板2との電気的接続を行なう。その後、半導体チップ3を樹脂にて封止することにより樹脂封止部4を形成する。

【0104】次いで、図5(b)に示すように、0.32mm $\phi$ の球状の半田ボール10を、リフロー装置にて最大240 $^{\circ}$ C~260 $^{\circ}$ Cの温度で加熱して、配線基板2における裏面ランド部8a及び表面ランド部8b並びに

ダミーランド部11…に搭載する。ここで、裏面ランド部8aはダミーランド部11…に比べて面積が小さいので、裏面ランド部8aの半田ボール10は球状の形態を維持する一方、ダミーランド部11…の半田ボール10は、ダミーランド部11…の面積が裏面ランド部8aの面積よりも広いので、半田ボール10がこのダミーランド部11…全体に広がり、高さが裏面ランド部8aの半田ボール10よりも低いダミーバンプ12…となる。ただし、電気的接続には問題はない。

【0105】次いで、半田の活性を高めるフラックスを裏面ランド部8aの半田ボール10に塗布した後、各半導体装置1…を、図5(c)に示すように、半田ボール10点と各配線基板2における裏面ランド部8a及び表面ランド部8bが重なるように積層し、リフロー装置にて最大240 $^{\circ}$ C~260 $^{\circ}$ Cの温度で加熱する。これにより、各半田ボール10が溶解して各半導体装置1…の裏面ランド部8a及び表面ランド部8b間が電気的に接続される。これによって、積層型半導体装置が完成する。ここで、通常、半田溶解時には、40 $\mu$ m程度の沈み込みが発生するが、ダミーバンプ12…がある場合、樹脂封止部4とダミーバンプ12…とが接触することによ

て、それ以上の沈み込みを防止することができる。

【0106】これによって、ダミーランド部11…上のダミーバンプ12…が樹脂封止部4を押すことによって、沈み込み量を制御し、裏面ランド部8a及び表面ランド部8bにおける半田ボール10の高さがダミーバンプ12…がない場合よりも高くなり、温度サイクル試験等の熱印加時や機械的応力試験等の機械的応力印加時の信頼性が向上する。また、樹脂封止部4とダミーバンプ12…とが接触することによって、半導体装置1…全体の放熱性が向上する。

【0107】このように、本実施の形態の積層型半導体装置では、複数の積層された半導体装置1…のうちのいずれかは、1個の半導体装置1に複数の半導体チップ3・3を搭載したものからなっている。このため、例えばフラッシュメモリのメモリ容量を増やすために1個の半導体装置1に複数の半導体チップ3・3を形成した半導体装置1…を積層した場合においても、簡易な方法で積層基板間の隙間Dを制御することより、裏面ランド部8a及び表面ランド部8bにおける接合部分の温度サイクル試験等の熱印加時や機械的応力試験等の機械的応力印加時及び放熱性の向上を図り得る積層型半導体装置を提供することができる。

【0108】一方、図6に示すように、1個の半導体チップ3を有する半導体装置1と2個等の複数の半導体チップ3を有する半導体装置1とを組み合わせる積層型半導体装置に適用することも可能である。

【0109】さらに、図7に示すように、外形サイズの異なる配線基板2を有する半導体装置1…や外形サイズの異なる半導体チップ3を有する半導体装置1を組み合わせる積層したものにも適用することができる。このような半導体装置1としては、例えば、ロジック機能の半導体装置1とメモリ機能の半導体装置1とを組み合わせる場合がある。

【0110】この場合、例えば、パーソナルコンピュータのCPU(Central Processing Unit)のように、チップサイズの大きなロジックタイプの半導体チップ3に対応した厚さ例えば約0.23mmの両面配線基板2にランド径240 $\mu$ mの裏面ランド部8a及び表面ランド部8bと、400 $\mu$ mのダミーランド部11…とを形成しておく。ダミーランド部11…は、積層相手の半導体チップ3における突出形状の樹脂封止部4の平面領域内に配置する。

【0111】次いで、25 $\mu$ m厚の図示しないダイボン

ドフィルムを介して100 $\mu$ m厚の半導体チップ3を配線基板2に接着する。そして、ワイヤボン



ける裏面ランド部8a及び表面ランド部8b並びにダミーランド部11…に搭載する。ここで、ダミーランド部11…の半田ボール10は、ダミーランド部11…の面積が裏面ランド部8aの面積よりも広いので、半田ボール10がこのダミーランド部11…全体に広がり、高さが裏面ランド部8aの半田ボール10よりも低いダミーバンプ12…となる。ただし、電氣的接続には問題はない。

【0113】次いで、端子数の多いロジックタイプの半導体装置1の裏面ランド部8aが最も外側になるように、1個の半導体チップ3を搭載したチップサイズの小さい半導体装置1を積層する。これによって、半田溶融時には、沈み込みが発生するが、ダミーバンプ12…がある場合、樹脂封止部4とダミーバンプ12…とが接触することによって、一定以上の沈み込みを防止することができる。

【0114】このように、本実施の形態の積層型半導体装置では、複数個積層された半導体装置1…のうちのいずれかは、他の半導体装置1とは外形サイズが異なっている。このため、種類の異なる半導体装置1…を組み合わせ

て積層した場合にも、簡易な方法で積層基板間の隙間Dを制御することより、裏面ランド部8a及び表面ランド部8bにおける接合部分の温度サイクル試験等の熱印加時や機械的応力試験等の機械的応力印加時及び放熱性の向上を図り得る積層型半導体装置を提供することができる。

【0115】一方、上記の実施の形態では、半導体チップ3は、配線基板2の上に載置されていたものであったが、必ずしもこれに限らず、図8に示すように、配線基板2の略中央位置において略矩形に穿設された穴部としての貫通孔部2aの内部に半導体チップ3が樹脂封止部4により封止された状態で設けられた半導体装置1を積層した積層型半導体装置にも適用が可能である。この場合、ダミーランド部11…は、Auワイヤ5の接続部である図示しないターミナル部の反対側に形成する。

【0116】この積層型半導体装置の場合には、配線基板2のダミーランド部11…側に例えば50 $\mu$ m厚の図示しない粘着テープを貼り付けた後、貫通孔部2aに100 $\mu$ m厚の半導体チップ3を搭載する。その後、ワイヤボンディング方式により半導体チップ3と上記配線基板2との電氣的接続を行なう。次いで、半導体チップ3を樹脂にて封止することにより樹脂封止部4を形成した後、上記粘着テープを引き剥がす。なお、上記において、樹脂による樹脂封止部4は、必ずダミーランド部11…を含むように設計する。

【0117】次いで、0.23mm $\phi$ の球状の半田ボール10を、リフロー装置にて加熱して、配線基板2における裏面ランド部8a及び表面ランド部8b並びにダミーランド部11…に搭載し、各半導体装置1…を積層する。

【0118】この半導体装置1では、半導体チップ3が配線基板2の略厚さの範囲内に収められているので、半導体装置1の薄型化を図れるものとなっている。このことは、この半導体装置1…を積層した場合にさらに全体の薄型化を図れるものとなる。

【0119】このように、本実施の形態の積層型半導体装置では、積層される半導体装置1として、裏面ランド部8a及び表面ランド部8bを有する半導体装置1の貫通孔部2aに半導体チップ3が搭載された半導体装置1を用いることができる。このような半導体装置1は、半導体チップ3の後ろに配線基板2がないので、半導体装置1を薄く形成することができる。したがって、薄型の積層型半導体装置を提供することができる。

【0120】〔実施の形態2〕本発明の他の実施の形態について図9ないし図17に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

【0121】前記実施の形態1では、ダミーランド部11…は配線基板2に形成されていた。しかし、比較例としての図9に示すように、半導体装置1をマザーボード29に接合する場合にも、実施の形態1にて説明したように、半導体装置1の樹脂封止部4がマザーボード29に接触していた場合には、積層基板間接合部の温度サイクル試験等の熱印加時や機械的応力試験等の機械的応力印加時信頼性及び放熱性の向上を図ることができない。すなわち、積層基板間接合部の温度サイクル試験においては、前記実施の形態1で述べたように、熱によるストレスが発生する。半導体装置1をマザーボード30に実装した後、このマザーボード30に機械的ストレスがかかると、マザーボード30及び半導体装置1に反りが発生し、マザーボード30と半導体装置1間、及び半導体装置1…同士の間が接触し、接合部分にストレスが発生する。

【0122】そこで、本実施の形態においては、図10に示すように、マザーボード30において、半導体装置1の樹脂封止部4の対向面にダミーバンプ31…を設けている。なお、本実施の形態では、半導体装置1は前記実施の形態1の最後で述べた、配線基板2の略中央位置において略矩形に穿設された貫通孔部2aの内部に半導体チップ3・3が樹脂封止部4により封止されたものについて説明する。

【0123】上記のダミーバンプ31…を有するマザーボード30に半導体装置1を接合する方法について説明する。

【0124】先ず、図11(a)に示すように、マザーボード30における半導体装置1の外部端子接続用ランド部32…以外に、半導体装置1の樹脂封止部4の対向する部分にダミーランド部33…を形成する。

【0125】次いで、図11(b)に示すように、これ



ら外部端子接続用ランド部32…及びダミーランド部33…の上にスクリーン印刷法により、半田ペースト34…を供給しておく。

【0126】次いで、このマザーボード30の上に、外部端子接続用端子として半田ボール10を用いた半導体装置1を搭載する。この半導体装置1には、半田ボール10…と樹脂封止部4とが同じ面に設けられている。上記半田ボール10…のピッチは例えば0.5mmであり、半田ボール10…における半導体装置1の配線基板2上からの高さが例えば0.25mmとなっている。また、樹脂封止部4の配線基板2上からの高さは、例えば0.20mmとなっている。

【0127】次いで、図示しないリフロー装置により半田ボール10と外部端子接続用ランド部32…との接続を行なう。このとき、樹脂封止部4とマザーボード30との間にはダミーランド部33…の半田ペースト34…が挟まることにより、半田ボール10の接続高さつまりスタンドオフは、ダミーランド部33…がないときに比較して50μm程高くなる。通常、上記の寸法の半田ボール10は、リフロー接続時に50μm程度の沈み込みがあるため、リフロー後は、樹脂封止部4とマザーボード30との間の間隔は略ゼロとなる。

【0128】しかし、本実施の形態の実装方法では、半導体装置1とマザーボード30との間に隙間Dができ、かつスタンドオフが高くなることにより、マザーボード30の実装後の接続部の信頼性が向上する。

【0129】上述したように、本実施の形態の半導体装置1では、配線基板2の中央に貫通孔部2aを形成し、この貫通孔部2aの内部に2個の半導体チップ3・3を搭載している。そして、ワイヤボンディング法により配線基板2との電氣的接続を確保し、樹脂封止部4によりAuワイヤ5及び半導体チップ3・3の表面を保護する。

【0130】樹脂封止部4の厚さは、配線基板2上にAuワイヤ5を形成することから、配線基板2上で最低200μm程度必要となる。

【0131】このとき、半田ボール10の高さは、マザーボード30の実装時の沈み込みを考慮すると、配線基板2上において最低250μm程度必要となる。そして、0.5mmピッチで半田ボール10…を形成するので、アセンブリ時の不具合の発生を抑えるためには、850μmφ程度の半田ボール10…の搭載が限界であり、それ以上大きくなると、歩留りの低下が懸念される。このため、樹脂封止部4と半田ボール10の高さとの差を著しく大きくすることは困難である。

【0132】また、半導体装置1…は、配線基板2の両面に外部端子接続用ランド部32…を持ち、半導体装置1…同士を互いに接続可能とすることが可能である。

【0133】なお、上記の説明においては、1個の半導体装置1に2個の半導体チップ3・3が搭載された半導体装置1について示したが、必ずしもこれに限らず、例

えば、図12に示すように、1個の半導体装置1に1個の半導体チップ3が搭載されているものであってもよい。また、図13に示すように、半導体チップ3が配線基板2上に搭載されているものであってもよい。さらに、図14に示すように、半導体チップ3が配線基板2に対して、フリップチップ方式により接続されているものであってもよい。このフリップチップ方式は、ワイヤボンディング方式と相並ぶベアチップ実装方式の一つであり、半導体チップ3の電極パッド上に突起状電極（バンプ）を形成し、相対する基板上の電極パッドに対して位置合わせして実装する方式である。

【0134】一方、上記の説明では、1個の半導体装置1とマザーボード30との接続について説明したが、マザーボード30上に複数個の半導体装置1…を積層することも可能である。このような積層型半導体装置としては、例えば、図15に示すように、マザーボード30上に4個の半導体装置1…が積層され、このマザーボード30にはダミーバンプ31…が形成されているので、マザーボード30とその上の半導体装置1との間に隙間Dが確保される。また、同図に示す積層型半導体装置では、各半導体装置1…の間にも前記実施の形態1にて示したダミーランド部11…を形成している。このため、各半導体装置1…の間にも隙間Dが確保される。

【0135】また、積層型半導体装置として、例えば、図16に示すように、1個の半導体装置1に2個の半導体チップ3・3が搭載された半導体装置1を積層することが可能である。なお、同図においては、半導体装置1・1の間には前記ダミーランド部11…は設けられていないが、この場合もダミーランド部11…を取り付けることが可能であり、その場合には同様に隙間Dを確保することができる。

【0136】さらに、図17に示すように、1個の半導体装置1に2個の半導体チップ3・3が搭載された1個又は複数個の半導体装置1…と1個の半導体装置1に1個の半導体チップ3が搭載された1個又は複数個の半導体装置1…とを組み合わせることで積層した積層型半導体装置とすることも可能である。

【0137】このような場合にも、マザーボード30にダミーランド部11…を設けることによって、マザーボード30の実装後の接続部の信頼性が向上する。

【0138】また、本実施の形態のマザーボード30には、半導体装置1の半導体チップ3又は樹脂封止部4の対向位置に半田ボール10…よりも低いダミーバンプ31…が形成されている。したがって、半導体装置1の半導体チップ3又は樹脂封止部4がマザーボード30に接触するのを防止できる。

【0139】このため、半導体装置1をマザーボード30に搭載する場合において、このマザーボード30にダミーバンプ31…を形成することにより、マザーボード30と半導体装置1との間において、簡易な方法で積層

基板間の隙間Dを制御することができ、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得るマザーボード30を提供することができる。

【0140】また、本実施の形態のマザーボード30では、ダミーバンプ31…は半田ペースト印刷により形成することが可能となっている。このため、ダミーバンプ31…を半田ペースト印刷により形成することによって、外部接続端子を半田ペースト印刷法により形成する際に、同時にダミーバンプ31…も半田ペースト印刷により形成することができる。したがって、マザーボード30におけるダミーバンプ31…の形成において、確実に、簡易な方法で積層基板間の隙間Dを制御することができる。

【0141】また、本実施の形態のマザーボード30には、複数の半導体装置1…が積層されている。この結果、複数の半導体装置1…が積層された積層型半導体装置とマザーボード30との間の隙間Dを簡易な方法で制御することができ、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得るマザーボードを提供することができる。

【0142】また、本実施の形態のマザーボード30の製造方法では、半導体装置1の半導体チップ3又は樹脂封止部4の対向位置に半田ボール10よりも低いダミーバンプ31…を形成する工程を含んでいる。

【0143】このため、この工程を実施することによって、半導体装置1とマザーボード30との間の隙間Dを簡易な方法で制御することができ、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得るマザーボード30の製造方法を提供することができる。

【0144】また、本実施の形態のマザーボード30の製造方法では、ダミーバンプ31…を半田ペースト印刷により形成する工程を含んでいる。

【0145】このため、マザーボード30の半田ボール10を半田ペースト印刷する際に、同時にダミーバンプ31…も半田ペースト印刷により形成することができる。したがって、マザーボード30のダミーバンプ31…の形成において、確実に、簡易な方法で半導体装置とマザーボード30との間の隙間Dを制御することができる。

【0146】また、本実施の形態の積層型半導体装置では、各半導体装置1…にはダミーバンプ12…が形成される一方、最下層にマザーボード30が設けられているとともに、このマザーボード30には、相対する半導体装置1の半導体チップ3又は樹脂封止部4の対向位置に半田ボール10よりも低いダミーバンプ31…が形成されている。

【0147】したがって、積層型半導体装置をマザーボ

ード30に搭載する場合においても、このマザーボード30にダミーバンプ31…を形成することにより、マザーボード30と半導体装置1との間において、簡易な方法で積層基板間の隙間Dを制御することにより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置を提供することができる。

【0148】なお、上記の場合においては、実施の形態1にて示した特徴的な構成を積層型半導体装置に適用できるものとなっている。

【0149】

【発明の効果】本発明の積層型半導体装置は、以上のように、各半導体装置には、配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されているものである。

【0150】それゆえ、ダミーバンプによって、半導体装置の配線基板と、この配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部との間に隙間ができる。

【0151】このため、積層型半導体装置を温度サイクル試験や機械的応力試験にかけたときに、半導体チップはこの隙間に向けてたわむことができる。したがって、外部接続端子と半田ボールとの接続部分に作用する引張り力も緩和されるので、外部接続端子と半田ボールとの間の接続が外れるのを防止することができる。

【0152】また、本発明では、ダミーバンプは、外部接続端子間に半田ボールを搭載する工程にて同時に形成することができるものである。したがって、隙間形成のための製造工程における工数の増加も殆どなく、製造コストも殆ど従来と変わらない。さらに、隙間を設けることによって、半導体チップからの放熱効果も大きくなる。

【0153】この結果、簡易な方法で積層基板間の隙間を制御することにより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置を提供することができるという効果を奏する。

【0154】また、本発明の積層型半導体装置は、上記積層型半導体装置において、ダミーバンプは半導体チップ又は樹脂封止部の平面領域内における端部の対向位置に形成されているものである。

【0155】それゆえ、半導体チップ又は樹脂封止部を支持するダミーバンプを半導体チップの中央位置に設けるよりも端に設ける方が半導体チップがたわみ易いので、外部接続端子間における応力緩和効果が大きいという効果を奏する。

【0156】また、本発明の積層型半導体装置は、上記積層型半導体装置において、配線基板には、ダミーバンプを搭載するためのダミーランド部が形成されていると

10

20

30

40

50

ともに、このダミーランド部は、外部接続端子よりも面積が大きく形成されているものである。

【0157】それゆえ、外部接続端子に搭載される半田ボールと同量のダミーバンプをダミーランド部に搭載したときに、ダミーバンプの方が半田ボールよりも低くなる。また、ダミーランド部の面積と外部接続端子の面積とに差を設けることによって、同サイズの半田ボールの搭載により、外部接続端子とダミーバンプとの高さを容易に制御することができる。

【0158】この結果、半田ボールの搭載条件と同じ搭載条件にてダミーバンプを搭載することによって自動的に半田ボールよりも低い支持部が形成されることになるので、確実に、簡易な方法で積層基板間の隙間を制御することができるという効果を奏する。

【0159】また、本発明の積層型半導体装置は、上記積層型半導体装置において、ダミーバンプは半田ペースト印刷により形成されているものである。

【0160】それゆえ、外部接続端子を半田ペースト印刷法により形成する際に、同時にダミーバンプも半田ペースト印刷により形成することができる。したがって、ダミーバンプの形成において、確実に、簡易な方法で積層基板間の隙間を制御することができるという効果を奏する。

【0161】また、本発明の積層型半導体装置は、上記積層型半導体装置において、複数個積層された半導体装置には、外部接続端子を有する配線基板の穴部に半導体チップが搭載された半導体装置が含まれているものである。

【0162】それゆえ、このような半導体装置は、半導体チップの後ろに配線基板がないので、半導体装置を薄く形成することができる。したがって、薄型の積層型半導体装置を提供することができるという効果を奏する。

【0163】また、本発明の積層型半導体装置は、上記積層型半導体装置において、複数個積層された半導体装置のうちのいずれかは、他の半導体装置とは外形サイズが異なっているものである。

【0164】それゆえ、種類の異なる半導体装置を組み合わせで積層した場合にも、簡易な方法で積層基板間の隙間を制御することより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置を提供することができるという効果を奏する。

【0165】また、本発明の積層型半導体装置は、上記積層型半導体装置において、複数個積層された半導体装置のうちのいずれかは、1個の半導体装置に複数個の半導体チップを搭載したものからなっているものである。

【0166】それゆえ、例えばフラッシュメモリのメモリ容量を増やすために1個の半導体装置に複数個の半導体チップを形成した半導体装置を積層した場合においても、簡易な方法で積層基板間の隙間を制御することよ

り、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置を提供することができるという効果を奏する。

【0167】また、本発明の積層型半導体装置は、上記積層型半導体装置において、最下層にマザーボードが設けられているとともに、上記マザーボードには、相対する半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されているものである。

【0168】それゆえ、積層型半導体装置をマザーボードに搭載する場合においても、このマザーボードにダミーバンプを形成することにより、マザーボードと半導体装置との間において、簡易な方法で積層基板間の隙間を制御することより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置を提供することができるという効果を奏する。

【0169】また、本発明の積層型半導体装置の製造方法は、以上のように、各半導体装置における、配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプを形成する工程を含む方法である。

【0170】それゆえ、配線基板の半導体チップ搭載側裏面における相対する半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプを形成する工程を行なうことによって、簡易な方法で積層基板間の隙間を制御することより、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得る積層型半導体装置の製造方法を提供することができるという効果を奏する。

【0171】また、本発明の積層型半導体装置の製造方法は、上記積層型半導体装置の製造方法において、ダミーバンプを半田ペースト印刷により形成する工程を含む方法である。

【0172】それゆえ、半田ペースト印刷する際に、同時にダミーバンプも半田ペースト印刷により形成することができる。したがって、ダミーバンプの形成において、確実に、簡易な方法で積層基板間の隙間を制御することができるという効果を奏する。

【0173】また、本発明のマザーボードは、以上のように、半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプが形成されているものである。

【0174】それゆえ、半導体装置をマザーボードに搭載する場合において、このマザーボードにダミーバンプを形成することにより、マザーボードと半導体装置との間において、簡易な方法で積層基板間の隙間を制御することができ、外部接続端子の接合部分における、熱が印加されたり機械的応力が印加されたときの信頼性及び放



熱性の向上を図り得るマザーボードを提供することができるという効果を奏する。

【0175】また、本発明のマザーボードは、上記マザーボードにおいて、ダミーバンプは半田ペースト印刷により形成されているものである。

【0176】それゆえ、ダミーバンプを半田ペースト印刷により形成することによって、外部接続端子を半田ペースト印刷法により形成する際に、同時にダミーバンプも半田ペースト印刷により形成することができる。したがって、マザーボードにおけるダミーバンプの形成にお

いて、確実に、簡易な方法で積層基板間の隙間を制御することができるという効果を奏する。

【0177】また、本発明のマザーボードは、上記マザーボードにおいて、複数の半導体装置が積層されているものである。

【0178】それゆえ、複数の半導体装置が積層された積層型半導体装置とマザーボードとの間の隙間を簡易な方法で制御することができ、外部接続端子の接合部分にお

ける、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得るマザーボードを提供することができるという効果を奏する。

【0179】また、本発明のマザーボードの製造方法は、半導体装置の半導体チップ又は樹脂封止部の対向位置に半田ボールよりも低いダミーバンプを形成する工程を含んでいる方法である。

【0180】それゆえ、この工程を実施することによって、半導体装置とマザーボードとの間の隙間を簡易な方法で制御することができ、外部接続端子の接合部分にお

ける、熱が印加されたり機械的応力が印加されたときの信頼性及び放熱性の向上を図り得るマザーボードの製造方法を提供することができるという効果を奏する。

【0181】また、本発明のマザーボードの製造方法は、上記記載のマザーボードの製造方法において、ダミーバンプを半田ペースト印刷により形成する工程を含んでいる方法である。

【0182】それゆえ、マザーボードの外部接続端子を半田ペースト印刷法により形成する際に、同時にダミーバンプも半田ペースト印刷により形成することができる。したがって、マザーボードのダミーバンプの形成にお

いて、確実に、簡易な方法で半導体装置とマザーボードとの間の隙間を制御することができるという効果を奏する。

【図面の簡単な説明】

【図1】(a)は、本発明における積層型半導体装置の実施の一形態を示す断面図であり、(b)はその斜視図である。

【図2】(a)は上記積層型半導体装置における1個の半導体装置の構成を示す断面図、(b)は積層型半導体装置における1個の半導体装置の構成の一部を破断して示す斜視図、(c)は積層型半導体装置における1個の

半導体装置の構成を示す平面図である。

【図3】(a)～(d)は1個の半導体チップを備えた薄型半導体装置を複数個積層した積層型半導体装置の製造工程を示す断面図である。

【図4】(a)～(d)は半田ペーストを印刷後、リフロー(加熱)により半球状に形成させて半田ボールを形成する場合の積層型半導体装置の製造工程を示す断面図である。

【図5】(a)～(c)は2個の半導体チップを備えた薄型半導体装置を複数個積層した積層型半導体装置の製造工程を示す断面図である。

【図6】1個の半導体チップを備えた薄型半導体装置と2個の半導体チップを備えた薄型半導体装置とを積層した積層型半導体装置を示す断面図である。

【図7】外形サイズの異なる半導体装置を積層した積層型半導体装置を示す断面図である。

【図8】半導体チップが貫通孔部の内部に搭載された半導体装置を積層した積層型半導体装置を示す断面図である。

【図9】マザーボードと半導体装置との接合状態について、比較例として示す断面図である。

【図10】本発明における半導体装置の他の実施の形態を示すものであり、マザーボードと半導体装置との接合状態を示す断面図である。

【図11】(a)～(c)は上記マザーボードに搭載された半導体装置の製造工程を示す断面図である。

【図12】半導体チップが貫通孔部の内部に搭載された半導体装置をマザーボードに接合した状態を示す断面図である。

【図13】配線基板上に半導体チップが搭載された半導体装置をマザーボードに接合した状態を示す断面図である。

【図14】半導体チップがフリップチップ方式による接続方法を用いて配線基板に搭載された半導体装置をマザーボードに接合した状態を示す断面図である。

【図15】半導体チップが貫通孔部の内部に搭載された半導体装置を複数個マザーボードに接合した状態を示す断面図である。

【図16】2個の半導体チップを備えた半導体装置をマザーボード上に複数個積層した積層型半導体装置を示す断面図である。

【図17】1個の半導体チップを備えた半導体装置と2個の半導体チップを備えた半導体装置とを組み合わせマザーボード上に複数個積層した積層型半導体装置を示す断面図である。

【図18】(a)～(c)は従来の積層型半導体装置を示す断面図である。

【図19】従来の他の積層型半導体装置を示す断面図である。

【符号の説明】

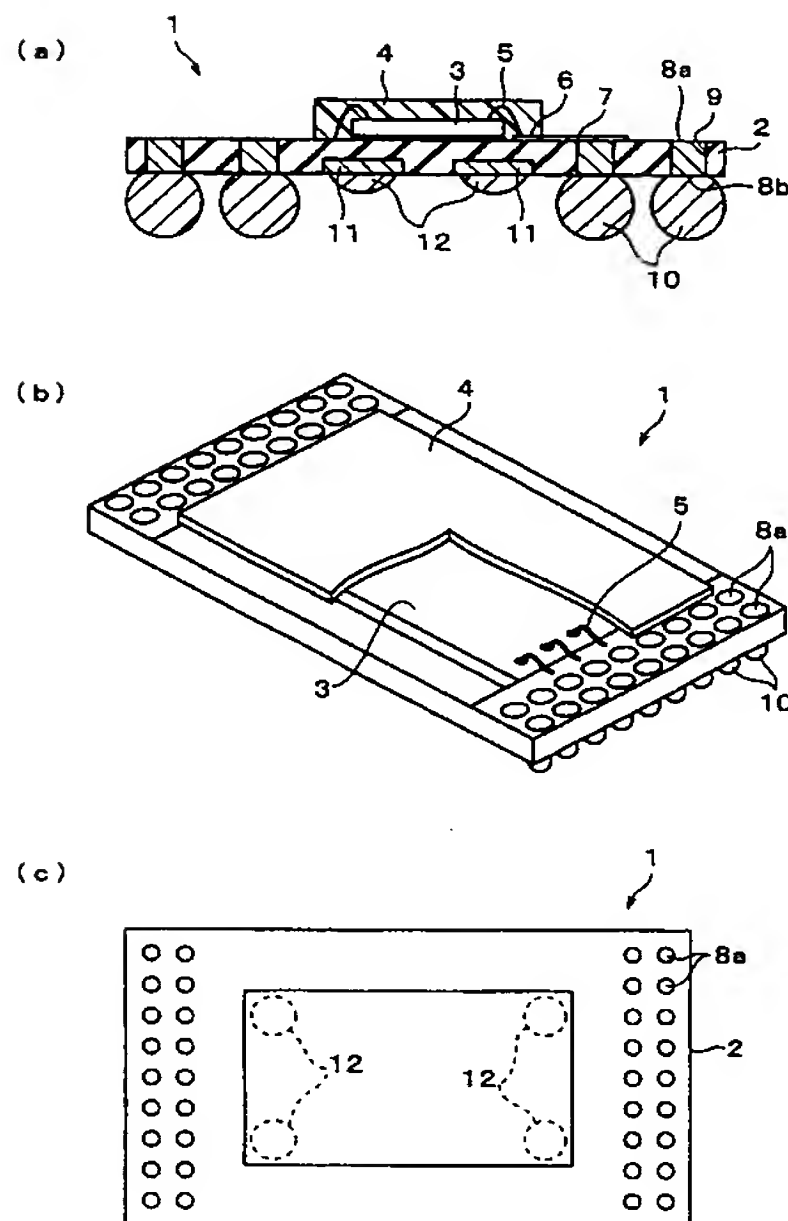
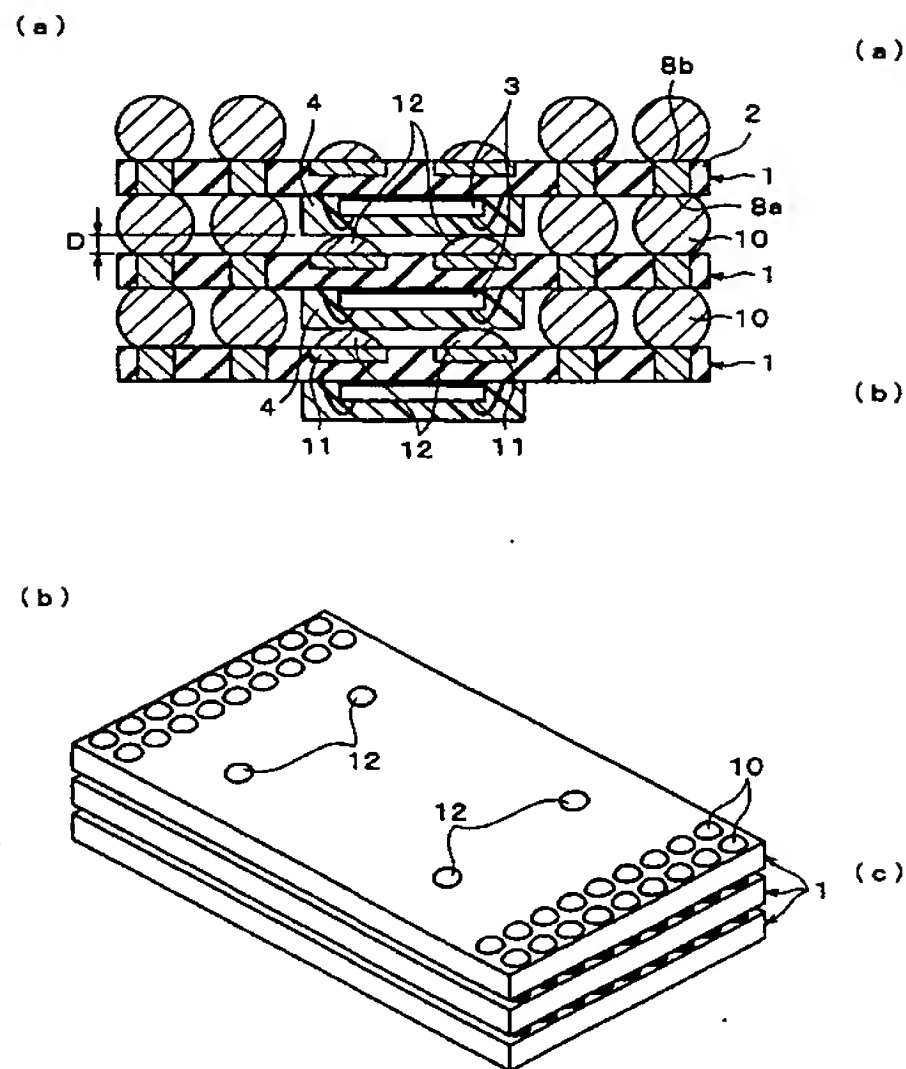


- 1 半導体装置
- 2 配線基板
- 2 a 貫通孔部 (穴部)
- 3 半導体チップ
- 4 樹脂封止部
- 5 Auワイヤ (ワイヤ)
- 8 a 裏面ランド部 (外部接続端子)

- 8 b 表面ランド部 (外部接続端子)
- 10 半田ボール
- 11 ダミーランド部
- 12 ダミーバンプ
- 30 マザーボード
- 31 ダミーバンプ

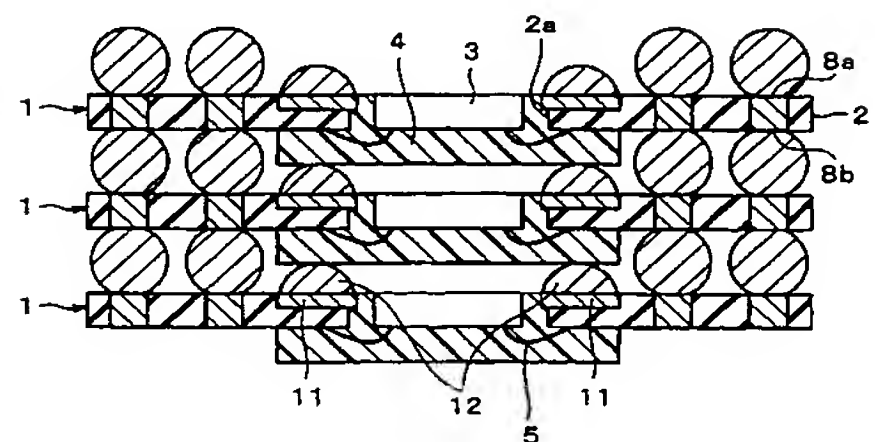
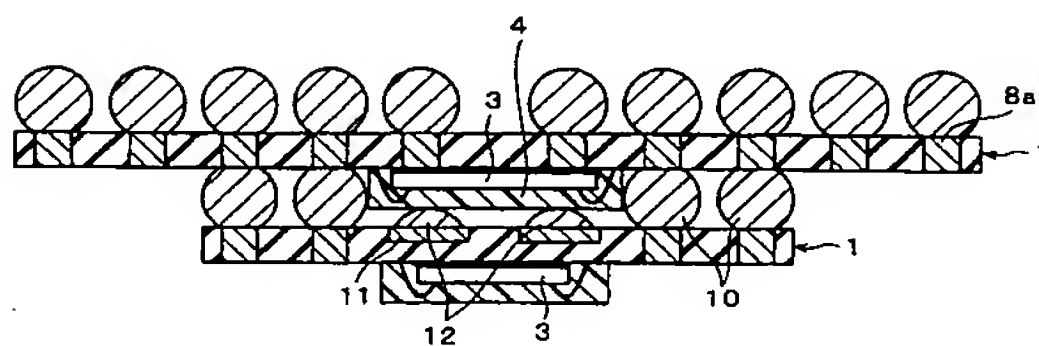
【図1】

【図2】

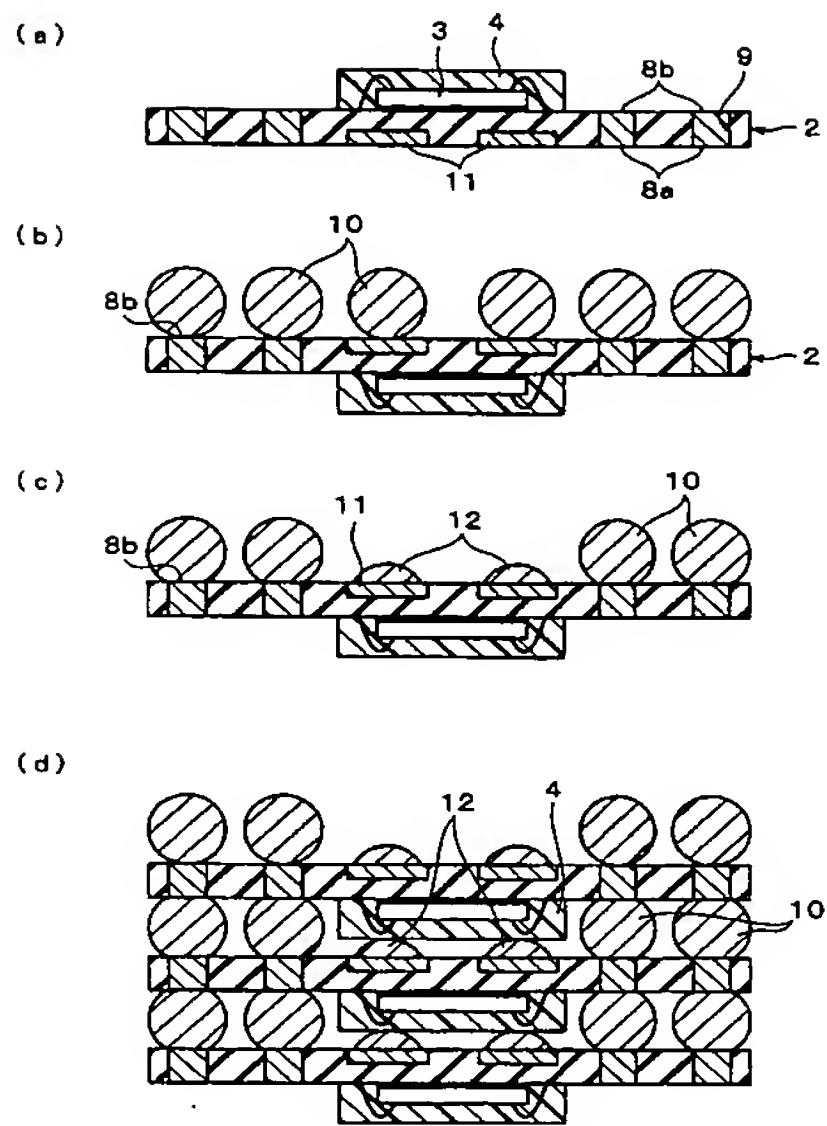


【図7】

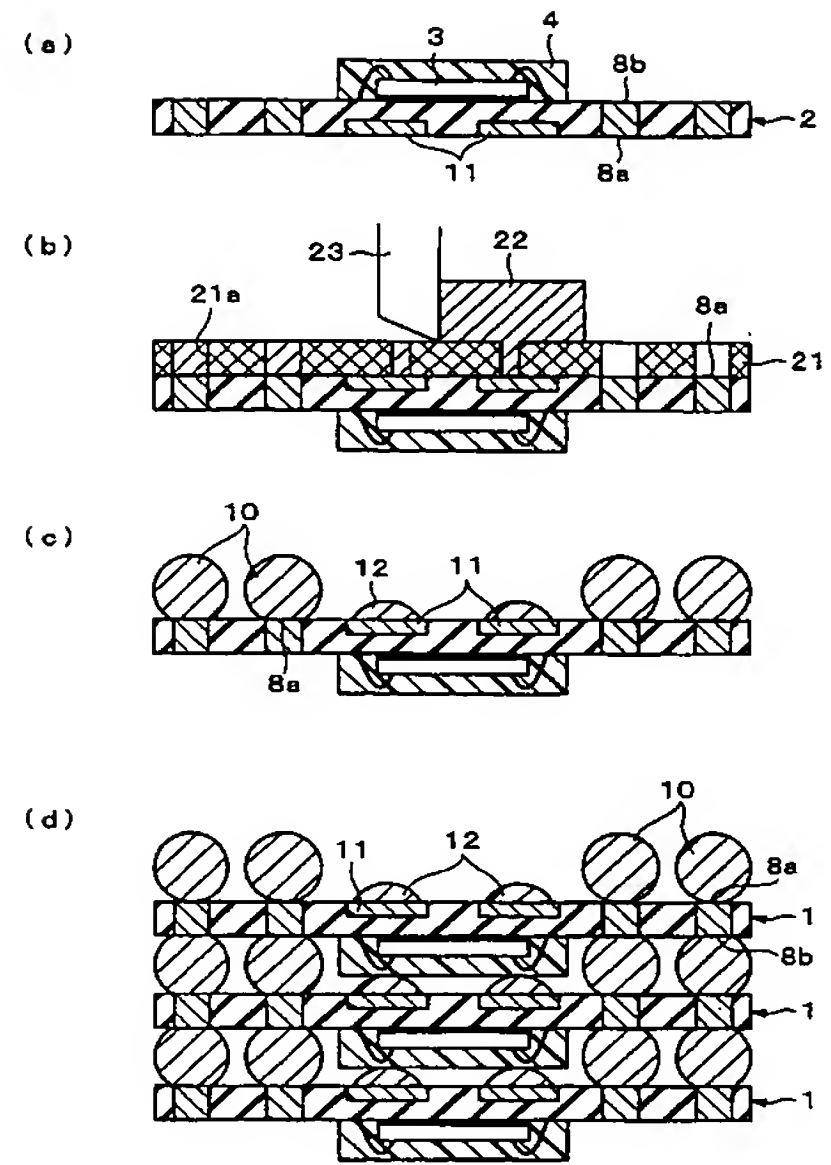
【図8】



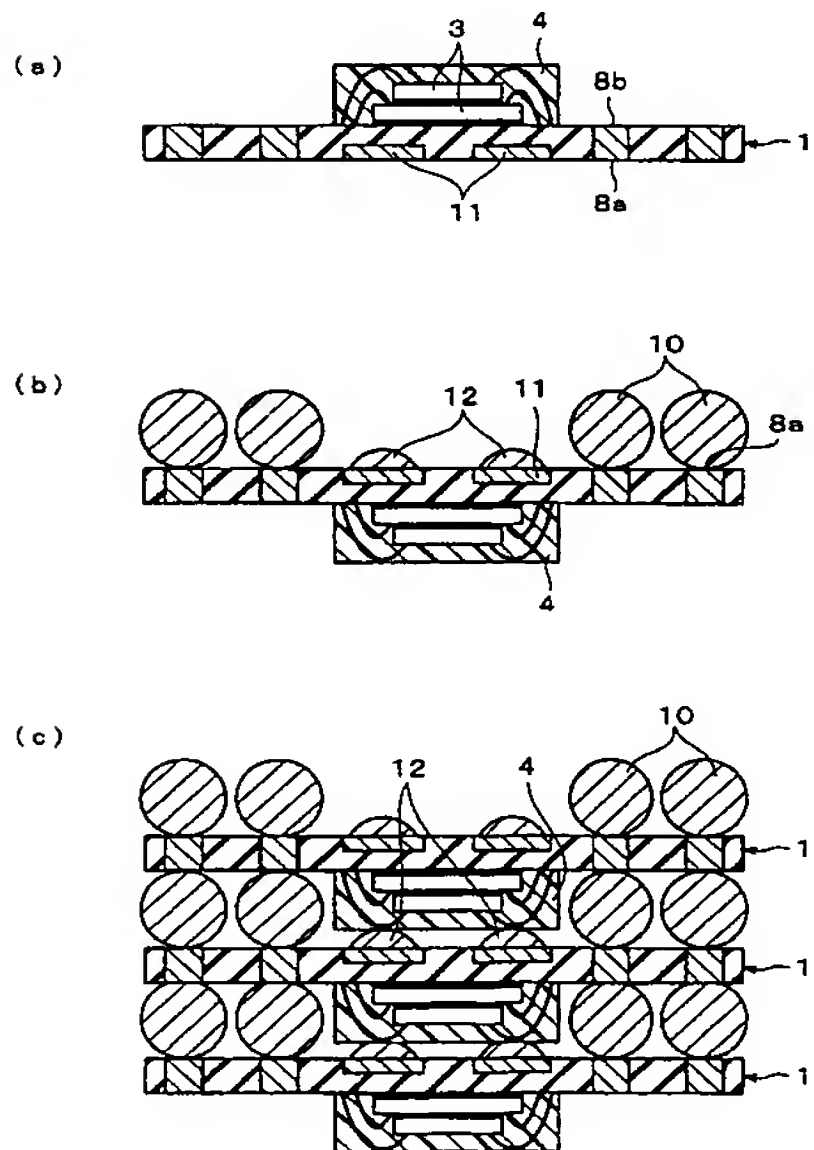
【図3】



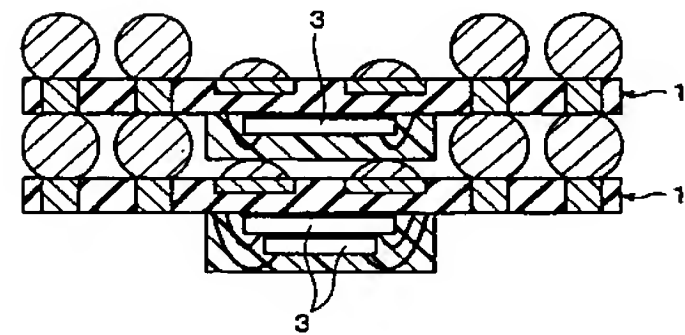
【図4】



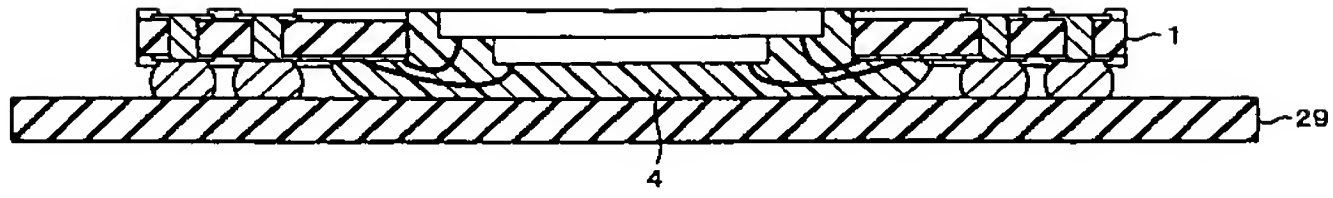
【図5】



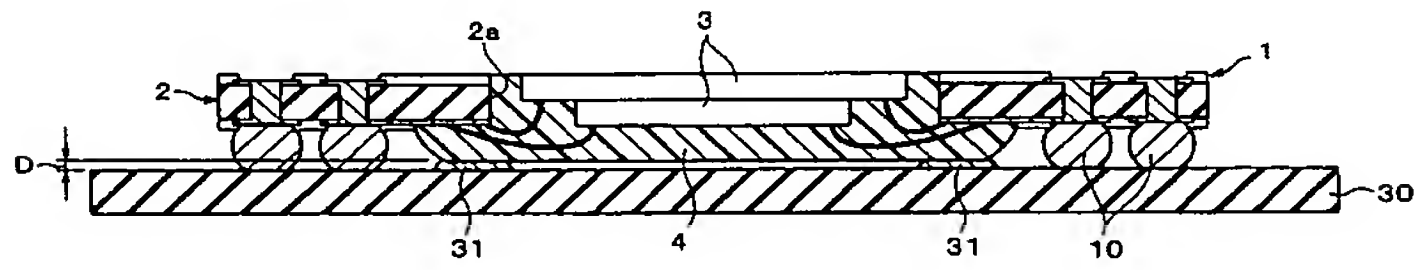
【図6】



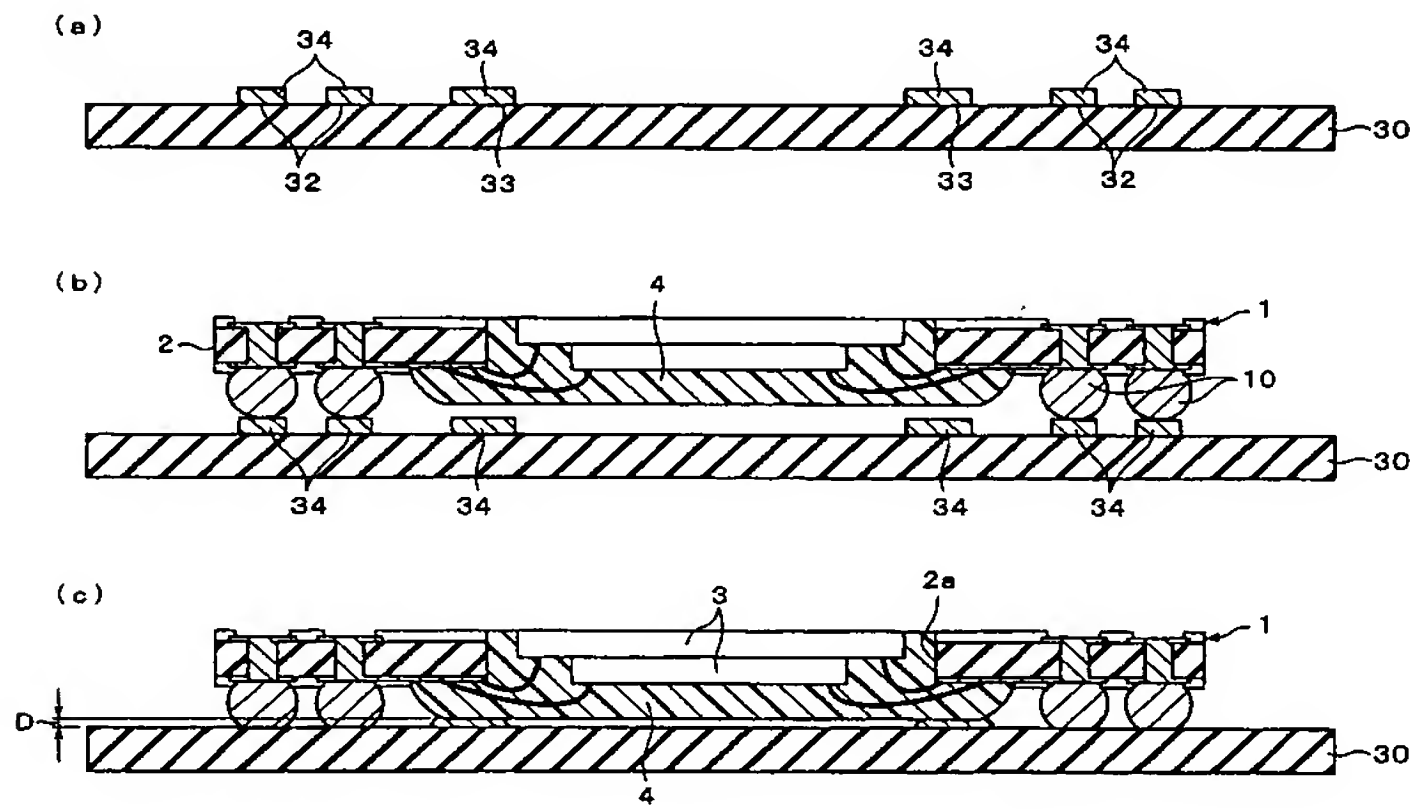
【図9】



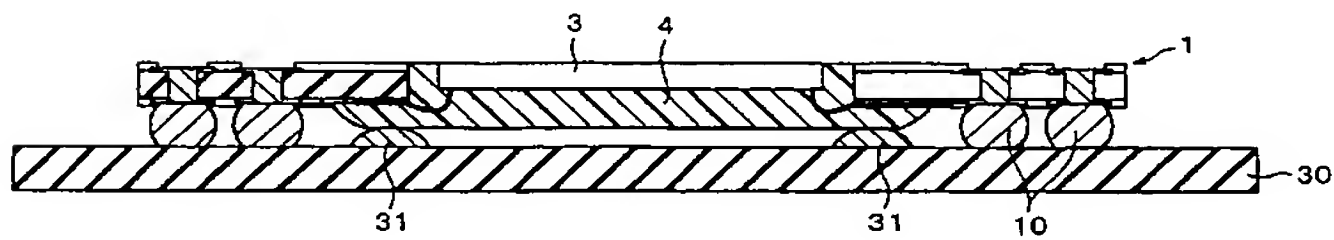
【図10】



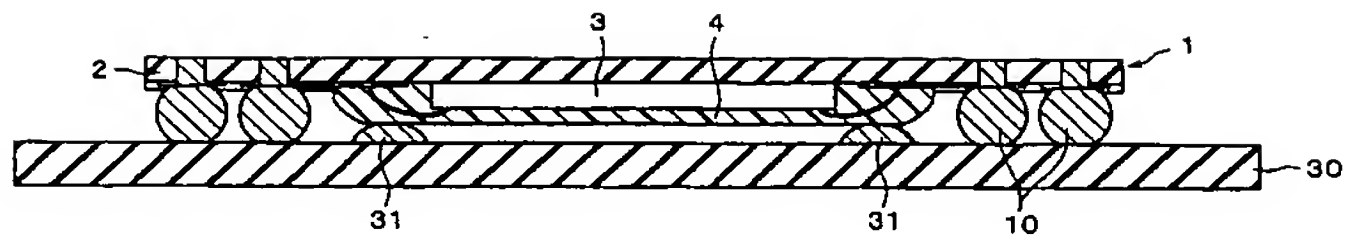
【図11】



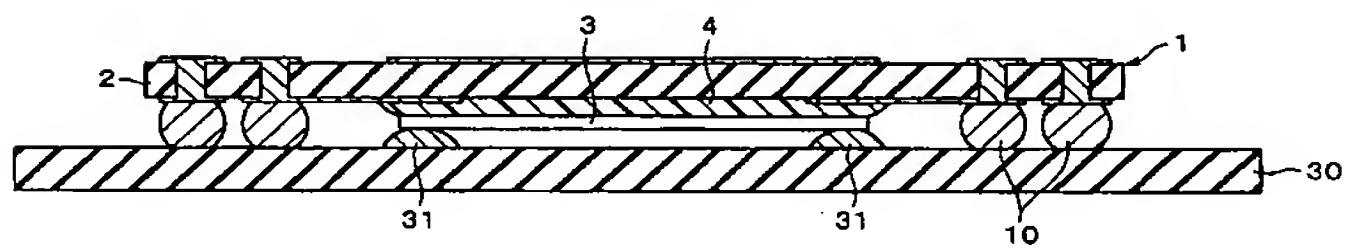
【図12】



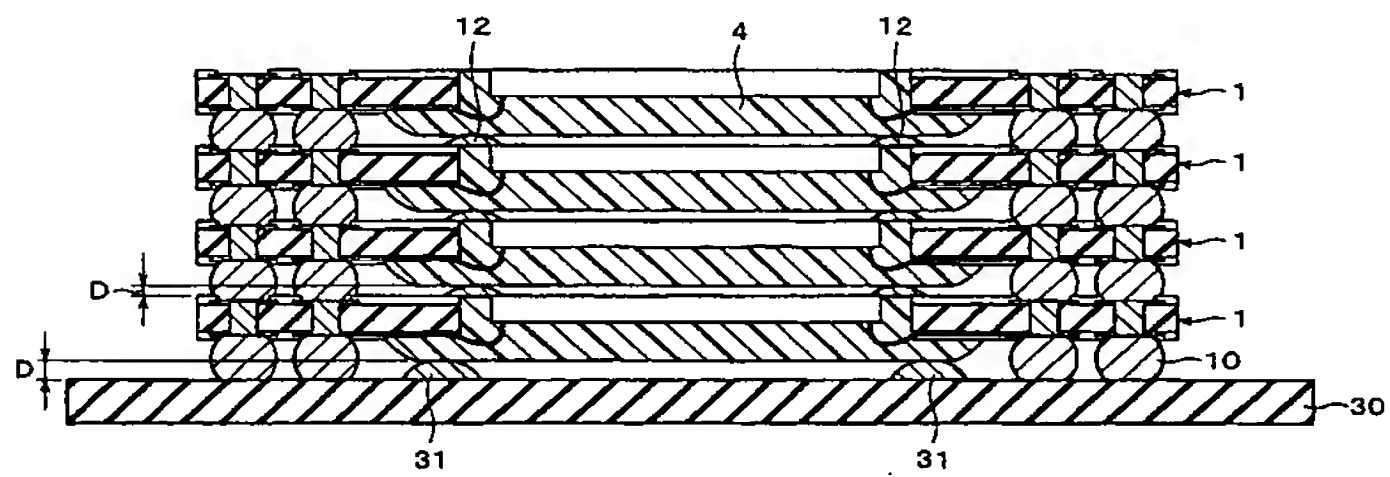
【図 13】



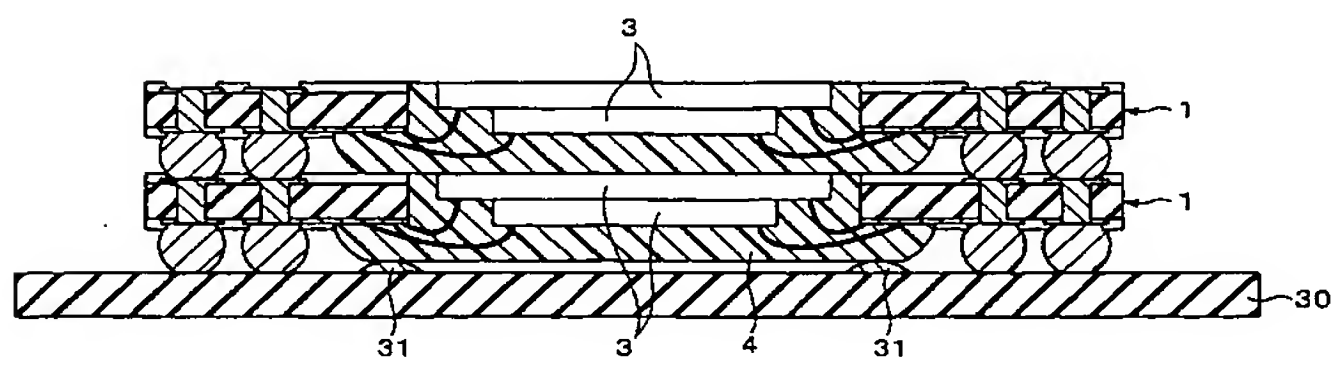
【図 14】



【図 15】

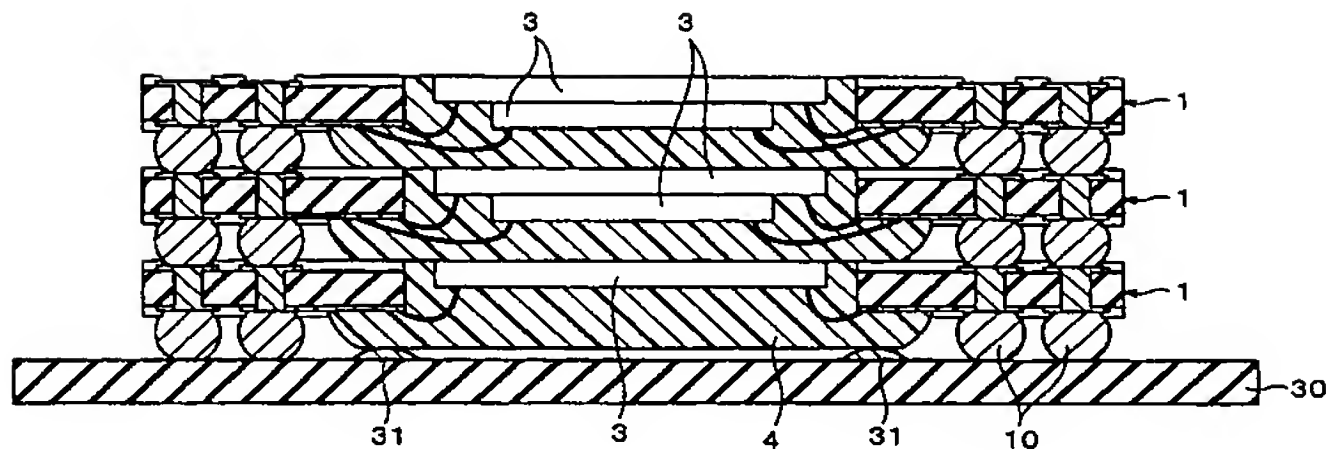


【図 16】

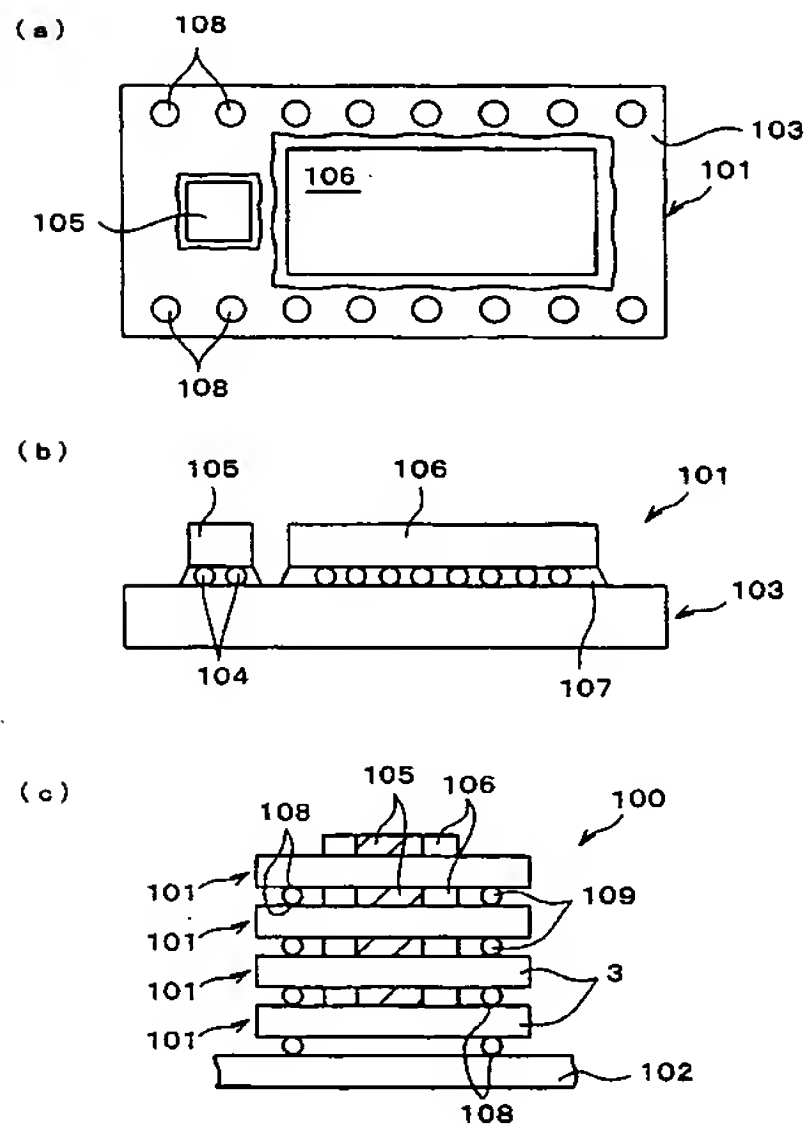




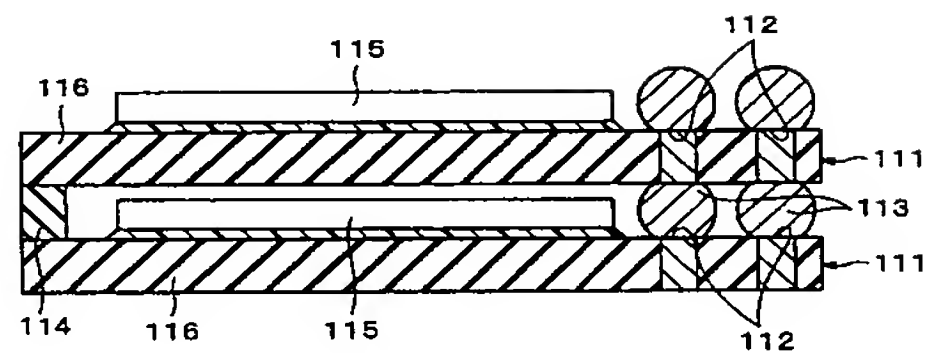
【図17】



【図18】



【図19】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H05K 3/34

識別記号

505

F I

テーマコード(参考)

Fターム(参考) 5E319 AA03 AA07 AB05 AC01 AC17  
AC20 BB05 CC33 CD29 GG11  
5E336 AA04 AA13 BB01 BC28 BC34  
CC32 CC44 CC55 EE03 GG03  
GG10 GG14